

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270685

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 29/78  
21/8238  
27/092H 0 1 L 29/78 3 0 1 J  
27/08 3 2 1 E

審査請求 未請求 請求項の数21 O L (全 17 頁)

(21) 出願番号

特願平9-74746

(22) 出願日

平成9年(1997)3月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 野口 ▲隆▼

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72) 発明者 曾根田 光生

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

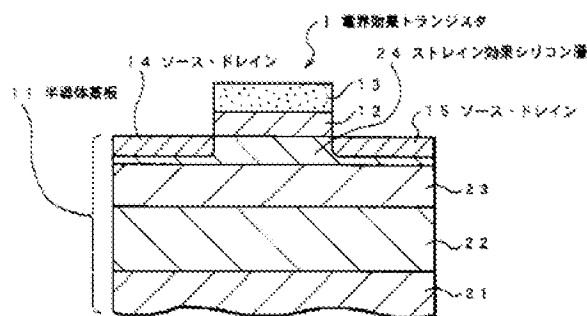
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 電界効果トランジスタとその製造方法、半導体装置とその製造方法、その半導体装置を含む論理

(57) 【要約】 回路および半導体基板

【課題】 nMOSトランジスタやpMOSトランジスタでは、高性能低電圧での応用を考えた場合、バンドギャップの小さなシリコンゲルマニウム層内にソース・ドレインの接合が位置するため、またシリコン/シリコンゲルマニウム界面にソース・ドレインの接合が形成されるために、電流リークが存在していた。

【解決手段】 半導体基板11の上層に形成されているストレイン効果を有する半導体層のストレイン効果シリコン層24に形成された電界効果トランジスタ1であって、このソース・ドレイン14、15はストレイン効果シリコン層24のみに形成されているものである。また、この電界効果トランジスタ1をnチャネルMOSトランジスタとして形成し、素子分離領域を介して上記ストレイン効果シリコン層24にpチャネルMOSトランジスタを形成することも可能である。さらにこれらのトランジスタによって論理回路を構成することも可能である。



電界効果トランジスタに係わる第1実施形態の概略構成断面図

【特許請求の範囲】

【請求項1】 半導体基板上層に形成されているストレーン効果を有する半導体層に形成された電界効果トランジスタであって、

前記電界効果トランジスタのソース・ドレインは前記ストレーン効果を有する半導体層のみに形成されていることを特徴とする電界効果トランジスタ。

【請求項2】 請求項1記載の電界効果トランジスタにおいて、

前記ストレーン効果を有する半導体層はストレーン効果を有するシリコン層からなることを特徴とする電界効果トランジスタ。

【請求項3】 請求項2記載の電界効果トランジスタにおいて、

前記ソース・ドレイン上に形成したシリコンエピタキシャル層と、

前記シリコンエピタキシャル層に形成した高融点金属シリサイド層とを備えたことを特徴とする電界効果トランジスタ。

【請求項4】 請求項2記載の電界効果トランジスタにおいて、

前記半導体基板は、

シリコン基板と、

前記シリコン基板上に形成したものでゲルマニウム濃度を厚さ方向に変化させたシリコンゲルマニウムからなるバッファ層と、

前記バッファ層上に形成したもので応力が緩和されているシリコンゲルマニウムからなるリラックス層と、

前記リラックス層上に形成したストレーン効果を有するシリコン層とからなることを特徴とする電界効果トランジスタ。

【請求項5】 請求項3記載の電界効果トランジスタにおいて、

前記半導体基板は、

シリコン基板と、

前記シリコン基板上に形成したものでゲルマニウム濃度を厚さ方向に変化させたシリコンゲルマニウムからなるバッファ層と、

前記バッファ層上に形成したもので応力が緩和されているシリコンゲルマニウムからなるリラックス層と、

前記リラックス層上に形成したストレーン効果を有するシリコン層とからなることを特徴とする電界効果トランジスタ。

【請求項6】 半導体基板の上層となるストレーン効果を有する半導体層を形成して該半導体基板を構成する工程と、

前記ストレーン効果を有する半導体層上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極の両側における前記ストレーン効果を有する半導体層にソース・ドレインを形成するための不純

物をドーピングすることによってソース・ドレインを形成する工程とを備えたことを特徴とする電界効果トランジスタの製造方法。

【請求項7】 請求項6記載の電界効果トランジスタの製造方法において、

前記ストレーン効果を有する半導体層をストレーン効果を有するシリコン層で形成することを特徴とする電界効果トランジスタの製造方法。

【請求項8】 請求項7記載の電界効果トランジスタの製造方法において、

前記ソース・ドレインを形成した後に、該ソース・ドレイン上にシリコンエピタキシャル層を形成する工程と、前記シリコンエピタキシャル層に高融点金属シリサイド層を形成する工程とを行うことを特徴とする電界効果トランジスタの製造方法。

【請求項9】 半導体基板上層に形成されているストレーン効果を有する半導体層に形成されたpチャネル型電界効果トランジスタとnチャネル型電界効果トランジスタとからなる半導体装置であって、

前記pチャネル型電界効果トランジスタのソース・ドレインおよびnチャネル型電界効果トランジスタのソース・ドレインは前記ストレーン効果を有する半導体層のみに形成されていることを特徴とする半導体装置。

【請求項10】 請求項9記載の半導体装置において、前記ストレーン効果を有する半導体層はストレーン効果を有するシリコン層からなることを特徴とする半導体装置。

【請求項11】 請求項10記載の半導体装置において、

前記各ソース・ドレイン上に形成したシリコンエピタキシャル層と、

前記シリコンエピタキシャル層に形成した高融点金属シリサイド層とを備えたことを特徴とする半導体装置。

【請求項12】 請求項10記載の半導体装置において、

前記半導体基板は、

シリコン基板と、

前記シリコン基板上に形成したものでゲルマニウム濃度を厚さ方向に変化させたシリコンゲルマニウムからなるバッファ層と、

前記バッファ層上に形成したもので応力が緩和されているシリコンゲルマニウムからなるリラックス層と、

前記リラックス層上に形成したストレーン効果を有するシリコン層とからなることを特徴とする半導体装置。

【請求項13】 請求項11記載の半導体装置において、

前記半導体基板は、

シリコン基板と、

前記シリコン基板上に形成したものでゲルマニウム濃度を厚さ方向に変化させたシリコンゲルマニウムからなる

バッファ層と、  
前記バッファ層上に形成したもので応力が緩和されているシリコンゲルマニウムからなるリラックス層と、  
前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする半導体装置。

【請求項14】 半導体基板の上層となるストレイン効果を有するシリコン層を形成して該半導体基板を構成する工程と、

前記ストレイン効果を有するシリコン層上にゲート絶縁膜を介してpチャネル型電界効果トランジスタのゲート電極とnチャネル型電界効果トランジスタのゲート電極とを形成する工程と、

前記pチャネル型電界効果トランジスタのゲート電極の両側における前記ストレイン効果を有するシリコン層にp型拡散層からなるソース・ドレインを形成する工程と、

前記nチャネル型電界効果トランジスタのゲート電極の両側における前記ストレイン効果を有するシリコン層にn型拡散層からなるソース・ドレインを形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、

前記各ソース・ドレインを形成した後、該各ソース・ドレイン上にシリコンエピタキシャル層を形成する工程と、

前記シリコンエピタキシャル層に高融点金属シリサイド層を形成する工程とを行うことを特徴とする半導体装置の製造方法。

【請求項16】 pチャネル型電界効果トランジスタとnチャネル型電界効果トランジスタとを備えた半導体装置を含む論理回路において、

該論理回路を形成する半導体基板は、上層にストレイン効果を有するシリコン層が形成されている半導体基板からなり、

前記pチャネル型電界効果トランジスタのソース・ドレインは前記ストレイン効果を有するシリコン層のみに形成されているとともに、

前記nチャネル型電界効果トランジスタのソース・ドレインは前記ストレイン効果を有するシリコン層のみに形成されていることを特徴とする半導体装置を含む論理回路。

【請求項17】 ゲルマニウム基板と、  
前記ゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、  
前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする半導体基板。

【請求項18】 請求項2記載の電界効果トランジスタにおいて、  
前記半導体基板は、

ゲルマニウム基板と、  
前記ゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする電界効果トランジスタ。

【請求項19】 請求項3記載の電界効果トランジスタにおいて、  
前記半導体基板は、

ゲルマニウム基板と、  
前記ゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする電界効果トランジスタ。

【請求項20】 請求項10記載の半導体装置において、  
前記半導体基板は、

ゲルマニウム基板と、  
前記ゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする半導体装置。

【請求項21】 請求項11記載の半導体装置において、  
前記半導体基板は、

ゲルマニウム基板と、  
前記ゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果トランジスタとその製造方法、半導体装置とその製造方法、その半導体装置を含む論理回路および半導体基板に関し、詳しくはストレイン効果を有するシリコン層にソース・ドレインを形成した電界効果トランジスタとその製造方法、その電界効果トランジスタを含む半導体装置とその製造方法、その半導体装置を含む論理回路およびそれらが形成される半導体基板に関する。

【0002】

【従来の技術】ストレイン（歪み）効果を用いた材料によるデバイス、シリコン／シリコンゲルマニウムなど1V族半導体材料と薄膜形成技術の進歩により可能になってきており、現在、高機能、低電圧デバイスをめざし

た研究が非常に盛んである。上記ストレイン効果とは、薄膜半導体において、膜が応力を受けた場合、エネルギーバンドが歪み、キャリアの有効質量が変化することをいう。このストレイン効果を有する半導体薄膜は、分子線エピタキシー技術、超高真空下における化学的気相成長(UHV-CVD)技術等によって、例えばシリコン/シリコンゲルマニウムなどの多層膜を工夫して膜の内部応力を制御することで形成することが可能になってきている。このように、バンドギャップ差や膜のストレインをヘテロ接合により制御することで高性能MOS系デバイス、センサ等の開発も進んできている。

【0003】シリコン膜の場合、ゾーンメルト法、アルゴンイオンレーザの照射による単結晶シリコン膜の形成技術等により形成されるSOI (Silicon on insulator) 基板のシリコン膜では引張応力を受けることになる。一方、SOS (Silicon on Sapphire) 基板のシリコン膜では圧縮応力を受けることになる。その結果、前者では、電子の移動度が大きくなり、後者では、正孔の移動度が大きくなる。言い換えれば、前者では、正孔の移動度が小さくなり、後者では、電子の移動度が小さくなる。

【0004】また、シリコン系MOS (Metal-Oxide-Semiconductor) トランジスタの場合、具体的にいえば、応力が緩和されている、いわゆるリラクセスした状態のシリコンゲルマニウムのエピタキシャル層上にシリコン膜を堆積すると引張応力で電子の移動度の向上が図れる(厳密にいうと6つに縮退したバンドが有効質量の異なる2つのバンドに分かれると説明されている)。一方、ゲルマニウムを多く含むシリコンゲルマニウム(いわゆる、ゲルマニウムリッチなシリコンゲルマニウム)膜を形成すると圧縮応力により正孔の移動度の向上が図れる。

【0005】このようなストレイン効果シリコン層の性質に基づいて、多層膜を形成してチャネルとなる層の応力を制御して作製したMOSトランジスタでは、高い相互コンダクタンス ( $g_m$  (mobility)) の結果が得られている。Appl. Phys. Letter (USA), 63 (1993) S.P.Voinigensen et al., p660 およびIEEE Electronic Devices (USA), 43 (1996) L.H.Jiang and R.G.Elliman, p97 にはpMOSトランジスタが開示されている。また、Appl. Phys. Letter (USA), 64 (1994) K.Ismail et al., p3124 およびIEDM 94-37 (USA), (1994) J.Weiser et al. にはnMOSトランジスタが開示されている。

【0006】一方、低電圧動作を行う最先端の高性能ロジック (LOGIC) としてバスタランジスタが提案されていて、CPU (Central Processing Unit)、MPEG (Moving Picture Experts Group) などの最先端の応用技術分野での提案がなされている。このようなロジック回路では、主体となるnMOSトランジスタは低電圧

動作で高い相互コンダクタンスを有するような高性能な特性が要求されている。一方、pMOSトランジスタは、ブリチャージ的な使い方などで素子数は少なく、nMOSトランジスタほどの動作速度は要求はされず、チャネル幅Wの調整で性能を決定しても面積的には不利になっていない。

【0007】

【発明が解決しようとする課題】しかしながら、上記説明したような従来の技術におけるpMOSトランジスタやnMOSトランジスタでは、高性能低電圧での応用を考えた場合、バンドギャップの小さなシリコンゲルマニウム層にソース・ドレインの接合が位置するため、またシリコン/シリコンゲルマニウム界面にソース・ドレインの接合が形成されるために、リークが存在が課題となる。

【0008】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた電界効果トランジスタおよびその製造方法、半導体装置およびその製造方法、その半導体装置を含む論理回路ならびに半導体基板である。

【0009】電界効果トランジスタは、半導体基板上層に形成されているストレイン効果を有する半導体層であるシリコン層(以下ストレイン効果シリコン層という)に形成されたものであって、この電界効果トランジスタのソース・ドレインがストレイン効果シリコン層のみに形成されているものである。

【0010】上記電界効果トランジスタでは、ソース・ドレインがストレイン効果シリコン層のみに形成されていることから、ソース・ドレインの接合はストレイン効果シリコン層内に存在することになる。そのため、接合リークの発生が起きにくくなる。

【0011】電界効果トランジスタの製造方法は、半導体基板の上層となるストレイン効果を有する半導体層であるシリコン層(ストレイン効果シリコン層)を形成してこの半導体基板を構成する。その後、ストレイン効果シリコン層上にゲート絶縁膜を介してゲート電極を形成する。そしてゲート電極の両側におけるストレイン効果を有するシリコン層にソース・ドレインを形成するための不純物をドーピングすることによってソース・ドレインを形成するという工程を備えた製造方法である。

【0012】上記電界効果トランジスタの製造方法では、ストレイン効果シリコン層のみに電界効果トランジスタのソース・ドレインを形成することから、ソース・ドレインの接合はストレイン効果シリコン層内のみに形成されることになる。そのため、接合リークの発生が抑制される。

【0013】半導体装置は、上記説明したような電界効果トランジスタを含むものであり、半導体基板上に形成されているストレイン効果を有する半導体層であるシリコン層(ストレイン効果シリコン層)に形成されたpチ

ャネル型電界効果トランジスタとnチャネル型電界効果トランジスタとからなるものであって、pチャネル型、nチャネル型電界効果トランジスタの各ソース・ドレインはストレイン効果シリコン層のみに形成されているものである。

【0014】上記半導体装置では、pチャネル型、nチャネル型電界効果トランジスタの各ソース・ドレインともにストレイン効果シリコン層のみに形成されていることから、各ソース・ドレインの接合はストレイン効果シリコン層内に存在することになる。そのため、接合リークが発生しにくくなる。また一つのストレイン効果シリコン層に各ソース・ドレインが形成されていることから、従来のCMOS構造とほぼ同等の構造となる。そのため、構造が簡単になる。

【0015】半導体装置の製造方法は、半導体基板の上層となるストレイン効果シリコン層を形成してこの半導体基板を構成する。そのストレイン効果シリコン層上にゲート絶縁膜を介してpチャネル型電界効果トランジスタのゲート電極とnチャネル型電界効果トランジスタのゲート電極とを形成する。そしてpチャネル型電界効果トランジスタのゲート電極の両側におけるストレイン効果シリコン層にp型拡散層からなるソース・ドレインを形成する。またnチャネル型電界効果トランジスタのゲート電極の両側におけるストレイン効果シリコン層にn型拡散層からなるソース・ドレインを形成するという工程を備えている。

【0016】上記半導体装置の製造方法では、ストレイン効果シリコン層のみにpチャネル型、nチャネル型電界効果トランジスタの各ソース・ドレインを形成することから、各ソース・ドレインの接合はストレイン効果シリコン層内のみに形成される。そのため、各ソース・ドレインでの接合リークの発生が抑制される。また一つのストレイン効果シリコン層に各ソース・ドレインを形成することから、各ソース・ドレインに対応したチャネル形成層を製造する必要がないので、製造プロセスが簡単になる。

【0017】論理回路は、上記説明したようなpチャネル型電界効果トランジスタとnチャネル型電界効果トランジスタとを備えた半導体装置を含むものであって、論理回路を形成する半導体基板は、上層にストレイン効果シリコン層が形成されているものからなる。pチャネル型、nチャネル型電界効果トランジスタの各ソース・ドレインはストレイン効果シリコン層のみに形成されているものである。

【0018】上記論理回路では、各電界効果トランジスタのソース・ドレインが半導体基板の上層のストレイン効果シリコン層のみに形成されていることから、各ソース・ドレインの接合はストレイン効果シリコン層内に存在することになる。そのため、接合リークが発生しにくくなる。

【0019】半導体基板は、ゲルマニウム基板と、そのゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、そのリラックス層上に形成したストレイン効果シリコン層とからなるものである。

【0020】上記半導体基板では、ゲルマニウム基板を用いていることから、ゲルマニウム基板上にバッファ層を形成することなく直接に応力が緩和されているシリコンゲルマニウム層からなるリラックス層を形成することが可能になっている。すなわち、ゲルマニウム基板とリラックス層との間で格子不整合が起き難いため、上記構成を採用することが可能になる。そのため、半導体基板の構造が簡単化され、この半導体基板を形成するプロセスも簡単化される。

【0021】

【発明の実施の形態】本発明の電界効果トランジスタに係わる第1実施形態の一例を、図1の概略構成断面図によって説明する。図1では、一例として絶縁ゲート型のn-MOSFETを示す。

【0022】図1に示すように、シリコン基板21上にはゲルマニウム濃度を厚さ方向に変化させたp<sup>-</sup>型のシリコンゲルマニウム(Si<sub>1-x</sub>Ge<sub>x</sub>)からなるバッファ層22と、応力が緩和されているp<sup>-</sup>型のシリコンゲルマニウム(Si<sub>1-x</sub>Ge<sub>x</sub>)からなるリラックス層23とが順に形成されている。

【0023】上記シリコン基板21は、例えばチョクラスキー(CZ)法により引き上げられたp<sup>-</sup>型シリコンからなる。また上記バッファ層22は、例えば、シリコン基板21側より上層側に向けてゲルマニウムの組成をx=0、0.4からx=0、3に変化させたシリコンゲルマニウムからなり、例えばおよそ1、6μmの厚さに形成されている。また上記リラックス層23は、例えば、ゲルマニウムの組成がx=0、3のシリコンゲルマニウムからなり、およそ0、6μmの厚さに形成されている。

【0024】さらにこのリラックス層23上にはストレイン効果を有する半導体層となるストレイン効果シリコン層24が、一例として13nmの厚さに形成されている。このストレイン効果シリコン層24は、ストレイン効果を引き出せる厚さとして、例えば5nm~30nm程度の厚さ、好ましくは5nm~15nm程度の厚さに形成されていけばよい。上記の如く、電界効果トランジスタ1が形成される半導体基板11が構成されている。

【0025】この半導体基板11に、以下に説明する電界効果トランジスタ1が形成されている。すなわち、上記ストレイン効果シリコン層24上には、ゲート絶縁膜12を介してゲート電極13が形成され、このゲート電極13の両側におけるストレイン効果シリコン層24の上層にはソース・ドレイン14、15が形成されている。上記ゲート絶縁膜12は、例えば厚さが6nmの酸

化シリコンからなり、上記ゲート電極13は、例えばポリシリコンからなる。また上記ソース・ドレイン14、15は、例えば接合深さが5nm程度に形成されている。したがって、このソース・ドレイン14、15は厚さが13nmのストレイン効果シリコン層24のみに形成されていることになる。上記の如くに、電界効果トランジスタ1が構成されている。

【0026】ここで上記ストレイン効果を説明する。ストレイン効果とは、薄膜半導体において、その薄膜半導体が応力を受けた場合、そのエネルギーバンドが歪むことによってキャリアの有効質量が変化することをいい、引張応力を受けると電子の移動度が大きくなり（正孔の移動度が小さくなり）、圧縮応力を受けると正孔の移動度が大きくなる（電子の移動度が小さくなる）という現象のことである。

【0027】上記電界効果トランジスタ1では、ソース・ドレイン14、15（接合深さが5nm）が厚さが13nmのストレイン効果シリコン層24のみに形成されていることから、ソース・ドレイン14、15の接合はストレイン効果シリコン層24内に存在することになる。そのため、電界効果トランジスタ1の接合リークの発生が抑制される。またストレイン効果シリコン層24は、シリコンと下地のシリコンゲルマニウムからなるリラックス層23との格子定数の相違によりシリコンネットワークは引張応力を受ける。このストレイン効果シリコン層24に電界効果トランジスタ1のチャネル層が形成されることになるため、伝導帯の底の縮退がとけ、電子はその有効質量が小さくなり、移動度は2倍近くに増大する。したがって、nMOSトランジスタとして電界効果トランジスタ1の相互コンダクタンス $g_m$ は2倍近くに向上される。

【0028】次に電界効果トランジスタに係わる第2実施形態の一例を、図2の概略構成断面図によって説明する。図2では、前記図1で説明したのと同様の構成部品には同一符号を付す。

【0029】図2に示すように、電界効果トランジスタ2は、図1によって説明した電界効果トランジスタ1において、ソース・ドレイン14、15上に、いわゆる積み上げソース・ドレイン（またはエレベーターソース・ドレインともいう）31、32を形成したものである。この積み上げソース・ドレイン31、32は、ソース・ドレイン14、15上に形成されているシリコンエピタキシャル層33、34と、そのシリコンエピタキシャル層33、34に形成されている高融点金属シリサイド層35、36とからなる。上記シリコンエピタキシャル層33、34は例えば50nm程度の厚さに形成されている。

【0030】なお、ゲート電極13上にはオフセット絶縁膜16が形成されており、このゲート電極の側壁にはサイドウォール絶縁膜17、18が形成されている。こ

れによって、ゲート電極13と積み上げソース・ドレイン31、32とのショートを防止している。また上記ソース・ドレイン14、15は、サイドウォール絶縁膜17、18下のストレイン効果シリコン層24に低濃度拡散層を形成したLDD（Lightly Doped Drain）構造としてもよい。また、ゲート電極13がポリサイド構造で形成されていてもよい。このポリサイド構造では、上記オフセット絶縁膜16は形成されない。

【0031】上記電界効果トランジスタ2では、積み上げソース・ドレイン31、32を形成したことにより、ソース・ドレイン14、15をシリサイド化することなく、ソース・ドレイン14、15のシート抵抗を低減することが可能になる。その結果、電界効果トランジスタ2の高速動作がより安定に可能になる。

【0032】次に、本発明の電界効果トランジスタの製造方法に係わる第1実施形態の一例を、図3の製造工程図によって説明する。図3では、前記図1で説明したのと同様の構成部品には同一符号を付す。

【0033】図3の（1）に示すように、超高真空化学的気相成長（UHV-CVD）法、分子線エピタキシー（MBE（Molecular Beam Epitaxy））等のエピタキシャル成長技術によって、シリコン基板21上にゲルマニウム濃度を厚さ方向に変化させた $p^-$ 型のシリコンゲルマニウム（ $Si_{1-x}Ge_x$ ）からなるバッファ層22を、例えば、シリコン基板21側より上層側に向けてゲルマニウムの組成を $x=0.04$ から $x=0.3$ に変化させてシリコンゲルマニウムを堆積することにより1.6 $\mu m$ の厚さに形成する。上記シリコン基板21には、例えばチョクラスキー（CZ（Czochralski））法により引き上げられた $p^-$ 型シリコン基板を用いる。

【0034】さらに上記バッファ層22上に応力が緩和されている $p^-$ 型のシリコンゲルマニウムからなるリラックス層23を、例えばゲルマニウムの組成が $x=0.3$ のシリコンゲルマニウムを、例えば0.6 $\mu m$ の厚さに堆積して形成する。そしてこのリラックス層23上にストレイン効果を有する半導体層となるストレイン効果シリコン層24を、一例として13nmの厚さに形成する。このストレイン効果シリコン層24は、ストレイン効果を引き出せる厚さ、例えば5nm～30nmの厚さ、好ましくは5nm～15nmの厚さに形成されていけばよい。上記ストレイン効果シリコン層24の成膜条件としては、例えばUHV-CVD法を採用した場合には、原料ガスに、例えばモノシラン（ $SiH_4$ ）（流量：20sccm）またはジシラン（ $Si_2H_6$ ）（流量：5sccm）を用いて、成膜雰囲気圧力を1.33 $\mu Pa$ 、基板温度をおよそ600℃に設定して膜形成を行った。なお、sccmは標準状態における体積流量（ $cm^3$ /分）を表す。

【0035】なお、上記バッファ層22、リラックス層23およびストレイン効果シリコン層24を同一チャ

ンパ内で連続して形成することが好ましい。この場合には、原料ガスにモノシラン ( $\text{SiH}_4$ ) とゲルマン ( $\text{GeH}_4$ )、またはジシラン ( $\text{Si}_2\text{H}_6$ ) とゲルマン ( $\text{GeH}_4$ ) とを用い、それぞれのガス比を適宜変更することによって、所望の成分比のシリコンゲルマニウム層を形成することにより、上記バッファ層 22 およびリラックス層 23 を形成した後、ゲルマンの供給を止めてモノシランまたはジシランを用いてストレイン効果シリコン層 24 を形成する。

【0036】上記方法により形成したストレイン効果シリコン層 24 には、シリコンゲルマニウム層 (リラックス層 23) とシリコン層 (ストレイン効果シリコン層 24) との格子定数の違いにより引張応力が生じている。このようにして、半導体基板 11 を形成する。

【0037】次いで図 3 の (2) に示すように、ストレイン効果シリコン層 24 上にゲート絶縁膜 12 を酸化シリコンで形成する。続いて CVD 法によってポリシリコンを堆積してゲート電極膜 41 (2 点鎖線で示す部分も含む) を形成した後、レジスト塗布によるレジスト膜 (図示省略) の形成、リソグラフィ技術によりレジスト膜をパターニングしてレジストマスク (図示省略) の形成、そのレジストマスクをエッチングマスクに用いたエッチング技術によってゲート電極膜 41 でゲート電極 13 を形成する。このエッチングではゲート絶縁膜 12 の 2 点鎖線で示す部分もエッチングされる。

【0038】その後図 3 の (3) に示すように、ゲート電極 13 をマスクにしたイオン注入法によって、そのゲート電極 13 の両側におけるストレイン効果シリコン層 24 にソース・ドレインを形成するための不純物をイオン注入して、ストレイン効果シリコン層 24 の上層に n 型のソース・ドレイン 14、15 を形成する。

【0039】上記イオン注入条件としては、例えば、不純物にヒ素イオン ( $\text{As}^+$ ) を用いた場合には、打ち込みエネルギーを  $5\text{ keV}$  としてヒ素イオンの投影飛程を  $6\text{ nm}$  に設定し、ドーズ量を  $5 \times 10^{18}\text{ 個/cm}^2$  に設定した。その後、活性化アニーリングを行う。このアニーリング条件としては、ファーンズアニーリングの場合には、例えばアニーリング温度を  $800^\circ\text{C}$ 、アニーリング時間を 20 分に設定する。また急速加熱アニーリング (RTA: Rapid Thermal Annealing) を、例えば ELA (Excimer Laser Annealing) によって行う場合には、例えば照射レーザー光のエネルギーを  $1\text{ J/cm}^2$  に設定する。またこのような活性化アニーリングを行うことによって、浅い接合のソース・ドレイン 14、15 (接合深さが  $6\text{ nm}$  程度) が形成される。なお、上記アニーリングは、浅い接合を確実に形成するためには RTA によって行うことが好ましい。このようにして、電界効果トランジスタ 1 が形成される。

【0040】なお、上記ソース・ドレイン 14、15 はイオン注入により形成したが、例えばレーザドーピン

グ、気相ドーピング、固相ドーピング等の方法を用いて形成することも可能である。

【0041】上記電界効果トランジスタの製造方法では、ストレイン効果シリコン層 24 のみに電界効果トランジスタ 1 のソース・ドレイン 14、15 を形成することから、ソース・ドレイン 14、15 の接合はストレイン効果シリコン層 24 内のみに形成されることになる。そのため、この製造方法によって形成される電界効果トランジスタ 1 は接合リークが発生が抑制されたものとなる。

【0042】次に電界効果トランジスタの製造方法に係わる第 2 実施形態の一例を、図 4 の製造工程図によって説明する。図 4 では、前記図 3 で説明したのと同様の構成部品には同一符号を付す。

【0043】前記図 3 によって説明した電界効果トランジスタの製造方法において、ゲート電極膜 41 を形成した後、図 4 の (1) に示すように、ゲート電極 13 となるゲート絶縁膜 (41) 上にオフセット絶縁膜 16 を形成してから、ゲートのパターニングを行う。次いで、ソース・ドレイン 14、15 を形成し、その後サイドウォール絶縁膜 17、18 を形成する。その後、選択的にエピタキシャル成長法によって、ソース・ドレイン 14、15 上に選択的にシリコンを堆積してシリコンエピタキシャル層 33、34 を、例えば  $50\text{ nm}$  程度の厚さに形成する。なお、上記ソース・ドレイン 14、15 を LDD (Lightly Doped Drain) 構造とする場合には、ゲートのパターニングを行った後、LDD 構造を形成する低濃度拡散層を、後に形成されるサイドウォール絶縁膜の下部のストレイン効果シリコン層 24 に、例えばイオン注入により形成する。次いで、ゲート電極 13 の側壁にサイドウォール絶縁膜 17、18 を形成してから上記ソース・ドレイン 14、15 の高濃度領域を形成する。

【0044】次いで図 4 の (2) に示すように、シリコンエピタキシャル層 33、34 側の全面に高融点金属層 37 を例えばスパッタリングまたは化学的気相成長 (CVD) 法によって形成する。その後、熱処理 (例えば RTA) を行って、シリコンエピタキシャル層 33、34 のシリコンと高融点金属層 37 の金属とを反応させて、シリコンエピタキシャル層 33、34 に高融点金属シリサイド層 35、36 を形成する。上記高融点金属層 37 は、例えばチタン層で形成する。この場合には、上記高融点金属シリサイド層 35、36 はチタンシリサイド層になる。その後、例えばエッチングによって、オフセット絶縁膜 16 上およびサイドウォール絶縁膜 17、18 上の未反応な高融点金属層 37 (2 点鎖線で示す部分) を除去する。このようにして、ソース・ドレイン 14、15 上に、シリコンエピタキシャル層 33、34 に形成した高融点金属シリサイド層 35、36 からなる積み上げソース・ドレイン 31、32 が形成されて、電界効果トランジスタ 2 が形成される。なお、上記シリサイド化

において、同時にゲート電極13をポリサイド構造に形成する場合には、上記オフセット絶縁膜16は形成しないで、ゲート電極13上に接触する状態に上記高融点金属層37を形成する。

【0045】上記電界効果トランジスタ2の製造方法では、ソース・ドレイン14、15上に堆積したシリコンエピタキシャル層33、34の上部をシリサイド化することにより、積み上げソース・ドレイン31、32を形成することから、ソース・ドレイン14、15はシリサイド化されない。そのため、浅い接合のソース・ドレイン14、15を残した状態で、ソース・ドレイン14、15のシート抵抗を低減することが可能になる。

【0046】次に本発明の半導体装置に係わる第1実施形態の一例を、図5の概略構成断面図によって説明する。図5では、前記図1で説明したのと同様の構成部品には同一符号を付す。

【0047】図5に示すように、半導体基板11は以下のように構成されている。すなわち、シリコン基板21上に、バッファ層22、リラックス層23、ストレイン効果シリコン層24とが順に形成されているものである。

【0048】上記シリコン基板21は、例えばチョクラルスキー（CZ）法により引き上げられた $p^-$ 型シリコンからなる。また上記バッファ層22はゲルマニウム濃度を厚さ方向に変化させた $p^-$ 型のシリコンゲルマニウム（ $Si_{1-x}Ge_x$ ）からなり、例えば、シリコン基板21側より上層側に向けてゲルマニウムの組成を $x=0.04$ から $x=0.3$ に変化させたシリコンゲルマニウムからなり、例えば $1.6\mu m$ の厚さに形成されている。

【0049】さらにリラックス層23は、例えば、応力が緩和されている $n^-$ 型のシリコンゲルマニウム（ $Si_{0.7}Ge_{0.3}$ ）からなり、 $0.6\mu m$ の厚さに形成されている。さらに上記ストレイン効果シリコン層24は、一例として $13nm$ の厚さに形成されている。このストレイン効果シリコン層24は、ストレイン効果を引き出せる厚さ。例えば $5nm\sim 30nm$ の厚さ、好ましくは $5nm\sim 15nm$ の厚さに形成されていけばよい。

【0050】また、 $n$ チャネル型の電界効果トランジスタ1が形成される領域および $p$ チャネル型の電界効果トランジスタ3が形成される領域を電気的に分離するトレンチ構造の素子分離領域51が、ストレイン効果シリコン層24からリラックス層23の上層にかけて形成されている。さらに $n$ チャネル型の電界効果トランジスタ1が形成されるストレイン効果シリコン層24およびリラックス層23の上層にかけての領域には $p$ ウェル25が形成され、 $p$ チャネル型の電界効果トランジスタ3が形成されるストレイン効果シリコン層24およびリラックス層23の上層にかけての領域には $n$ ウェル26が形成されている。上記の如く、 $n$ チャネル型の電界効果トラ

ンジスタ1と $p$ チャネル型の電界効果トランジスタ3とからなる半導体装置5が形成される半導体基板11が構成されている。

【0051】上記 $n$ チャネル型の電界効果トランジスタ1は、以下のような構成を成す。すなわち、上記ストレイン効果シリコン層24上には、ゲート絶縁膜12を介してゲート電極13が形成され、このゲート電極13の両側におけるストレイン効果シリコン層24の上層には $n^+$ 型拡散層からなるソース・ドレイン14、15が形成されている。上記ゲート絶縁膜12は、例えば厚さが $13nm$ の酸化シリコンからなり、上記ゲート電極13は、例えばポリシリコンからなる。また上記ソース・ドレイン14、15は、例えば接合深さが $6nm$ 程度に形成されている。したがって、このソース・ドレイン14、15はストレイン効果シリコン層24のみに形成されていることになる。上記の如くに、電界効果トランジスタ1が構成されている。

【0052】一方、上記 $p$ チャネル型の電界効果トランジスタ3は、以下のような構成を成す。すなわち、上記ストレイン効果シリコン層24上には、ゲート絶縁膜72を介してゲート電極73が形成され、このゲート電極73の両側におけるストレイン効果シリコン層24の上層には $p^+$ 型拡散層からなるソース・ドレイン74、75が形成されている。上記ゲート絶縁膜72は、例えば厚さが $13nm$ の酸化シリコンからなり、上記ゲート電極73は、例えばポリシリコンからなる。また上記ソース・ドレイン74、75は、例えば接合深さが $7nm$ 程度に形成されている。したがって、このソース・ドレイン74、75はストレイン効果シリコン層24のみに形成されていることになる。上記の如くに、 $p$ チャネル型の電界効果トランジスタ3が構成されている。

【0053】上記半導体装置5では、 $n$ チャネル型電界効果トランジスタ1のソース・ドレイン14、15および $p$ チャネル型電界効果トランジスタ3のソース・ドレイン74、75がストレイン効果シリコン層24のみに形成されていることから、ソース・ドレイン14、15およびソース・ドレイン74、75の各接合はストレイン効果シリコン層24内に存在することになる。そのため、接合リークが発生しにくくなる。また $n$ チャネル型の電界効果トランジスタ1のチャネル層はストレイン効果シリコン層24に形成されるため、シリコンと下地のシリコンゲルマニウムからなるリラックス層23との格子定数の相違によりシリコンネットワークは引張応力を受ける。そのため、伝導帯の底の縮退がとけ、電子はその有効質量が小さくなり、シリコン/酸化シリコンの界面近くの反転層内での移動度は2倍近くに増大する。したがって、 $nMOS$ トランジスタとしての相互コンダクタンス $g_m$ は2倍近くに向上される。さらに一つのストレイン効果シリコン層24に各ソース・ドレイン14、15およびソース・ドレイン74、75が形成さ



れていることから、従来のCMOS構造とはほぼ同等の構造となる。そのため、構造が簡単となる。

【0054】上記半導体装置5は、1個のnチャネル型の電界効果トランジスタ1および1個のpチャネル型の電界効果トランジスタ3で構成されているが、複数のnチャネル型の電界効果トランジスタ1および複数のpチャネル型の電界効果トランジスタ3で構成されるものであってもよい。

【0055】次に半導体装置に係わる第2実施形態の一例を、図6の概略構成断面図によって説明する。図6では、前記図5で説明したのと同様の構成部品には同一符号を付す。

【0056】図6に示すように、電界効果トランジスタ2は、図5によって説明した電界効果トランジスタ1において、ソース・ドレイン14、15上に、いわゆる積み上げソース・ドレイン31、32を形成したものである。すなわち、積み上げソース・ドレイン31、32は、ソース・ドレイン14、15上に形成されているシリコンエピタキシャル層33、34と、そのシリコンエピタキシャル層33、34に形成されている高融点金属シリサイド層35、36とからなる。なお、ゲート電極13上にはオフセット絶縁膜16が形成されており、このゲート電極13の側壁にはサイドウォール絶縁膜17、18が形成されている。また上記ソース・ドレイン14、15は、サイドウォール絶縁膜17、18下のストレイン効果シリコン層24に低濃度拡散層を形成したLDD構造としてもよい。

【0057】一方、電界効果トランジスタ4は、図5によって説明した電界効果トランジスタ3において、ソース・ドレイン74、75上に、いわゆる積み上げソース・ドレイン81、82を形成したものである。すなわち、積み上げソース・ドレイン81、82は、ソース・ドレイン74、75上に形成されているシリコンエピタキシャル層83、84と、そのシリコンエピタキシャル層83、84に形成されている高融点金属シリサイド層85、86とからなる。なお、ゲート電極73上にはオフセット絶縁膜76が形成されており、このゲート電極73の側壁にはサイドウォール絶縁膜77、78が形成されている。また上記ソース・ドレイン74、75は、サイドウォール絶縁膜77、78下のストレイン効果シリコン層24に低濃度拡散層を形成したLDD構造としてもよい。また、ゲート電極13、73がポリサイド構造で形成されている。このポリサイド構造では、上記オフセット絶縁膜16、76は形成されない。

【0058】上記半導体装置5では、積み上げソース・ドレイン31、32および積み上げソース・ドレイン81、82を形成したことにより、ソース・ドレイン14、15およびソース・ドレイン74、75をシリサイド化することなく浅い接合を保った状態で、ソース・ドレイン14、15およびソース・ドレイン74、75の

シート抵抗を低減することが可能になる。その結果、ソース・ドレイン14、15およびソース・ドレイン74、75に接続される配線の高速動作が可能になる。

【0059】本発明の半導体装置の製造方法に係わる第1実施形態の一例を、図7の製造工程図によって説明する。図7では、前記図5で説明したのと同様の構成部品には同一符号を付す。

【0060】前記図3の(1)によって説明したのと同様の方法によって、図7の(1)に示すように、シリコン基板21上にゲルマニウム濃度を厚さ方向に変化させたp<sup>-</sup>型のシリコンゲルマニウム(Si<sub>1-x</sub>Ge<sub>x</sub>)からなるバッファ層22を、例えば、シリコン基板21側より上層側に向けてゲルマニウムの組成をx=0.04からx=0.3に変化させてシリコンゲルマニウムを堆積することにより、1.6μmの厚さに形成する。上記シリコン基板21には、例えばCZ法により引き上げられたp<sup>-</sup>型シリコン基板を用いる。

【0061】さらに上記バッファ層22上に応力が緩和されているn<sup>-</sup>型のシリコンゲルマニウムからなるリラックス層23を、例えばゲルマニウムの組成がx=0.3のシリコンゲルマニウムをおよそ0.6μmの厚さに堆積して形成する。そしてこのリラックス層23上にストレイン効果を有する半導体層となるストレイン効果シリコン層24を、一例として13nmの厚さに形成する。このストレイン効果シリコン層24は、ストレイン効果を引き出せる厚さ、例えば5nm~30nmの厚さ、好ましくは5nm~15nmの厚さに形成されていればよい。このストレイン効果シリコン層24には、シリコンゲルマニウム層(リラックス層23)とシリコン層(ストレイン効果シリコン層24)との格子定数の違いにより引張応力が生じている。このようにして、半導体基板11を形成する。

【0062】その後、通常のトレンチ構造の素子分離領域の形成方法によって、nチャネル型の電界効果トランジスタ1が形成される領域およびpチャネル型の電界効果トランジスタ3が形成される領域を電氣的に分離するトレンチ構造の素子分離領域51を、ストレイン効果シリコン層24からリラックス層23の上層にかけて形成する。なお、上記通常のトレンチ構造の素子分離領域の形成方法とは、例えばリソグラフィ技術およびエッチング技術によって半導体基板11にトレンチを形成した後、そのトレンチに絶縁膜を埋め込み、その後半導体基板11上の余分な絶縁膜を、例えばエッチバック、化学的機械研磨等によって除去することにより素子分離領域51を形成するという方法である。

【0063】次いで、nチャネル型の電界効果トランジスタ1が形成されるストレイン効果シリコン層24およびリラックス層23の上層にかけての領域に、pウェル25を、例えばイオン注入法によって形成する。その際、nウェル26上には、例えばレジストマスク(図示

省略)を形成しておく。続いて上記レジストマスクを除去した後、pチャネル型の電界効果トランジスタ3が形成されるストレイ効果シリコン層24およびリラックス層23の上層にかけての領域に、nウェル26を、例えばイオン注入法によって形成する。その際、pウェル25上には、例えばレジストマスク(図示省略)を形成しておく。そしてこのレジストマスクはイオン注入後に除去する。なお、上記nウェル26およびpウェル25はどちらを先に形成しても差し支えない。以下、図7の(2)~(4)では、シリコン基板21およびバッファ層22の一部の図示は省略する。

【0064】次いで前記図3の(2)によって説明したのと同様の方法によって、図7の(2)に示すように、ストレイ効果シリコン層24上にゲート絶縁膜12(72)を酸化シリコンで形成する。続いてCVD法によってポリシリコンを堆積してゲート電極膜41(2点鎖線で示す部分)を形成した後、レジスト塗布によるレジスト膜(図示省略)の形成、リソグラフィ技術によりレジスト膜をパターニングしてレジストマスク(図示省略)の形成、そのレジストマスクをエッチングマスクに用いたエッチング技術によって、ゲート絶縁膜12上にゲート電極膜41からなるnチャネル型の電界効果トランジスタのゲート電極13を形成するとともに、ゲート絶縁膜72上にゲート電極膜41からなるpチャネル型電界効果トランジスタのゲート電極73を形成する。このエッチングでは、ゲート絶縁膜12(72)の2点鎖線で示す部分もエッチングされる。

【0065】次いで図7の(3)に示すように、レジスト塗布およびリソグラフィ技術によってpウェル25上を覆うレジストマスク(図示省略)を形成した後、pチャネル型の電界効果トランジスタのソース・ドレインを形成するためのp型不純物をイオン注入する。このイオン注入では、ゲート電極73をマスクにし、そのゲート電極73の両側におけるストレイ効果シリコン層24に上記p型不純物として、例えば二フッ化ホウ素イオン( $\text{BF}_3^+$ )をイオン注入し、ストレイ効果シリコン層24の上層にn型のソース・ドレイン74、75を形成する。上記イオン注入条件としては、例えば、p型不純物に二フッ化ホウ素イオン( $\text{BF}_3^+$ )を用いた場合、打ち込みエネルギーを5keVとして二フッ化ホウ素イオンの投影飛程を5nmに設定し、ドーズ量を $3 \times 10^{16}$ 個/ $\text{cm}^2$ に設定した。その後、上記レジストマスクを、例えば酸素アッシングおよび洗浄処理によって除去する。なお、上記ホウ素のイオン注入の前に薄い酸化膜(図示省略)を形成し、そのイオン注入後にこの薄い酸化膜を除去してもよい。

【0066】続いて図7の(4)に示すように、レジスト塗布およびリソグラフィ技術によってnウェル26上を覆うレジストマスク(図示省略)を形成した後、nチャネル型の電界効果トランジスタのソース・ドレイン

を形成するためのn型不純物をイオン注入する。このイオン注入では、ゲート電極13をマスクにし、そのゲート電極13の両側におけるストレイ効果シリコン層24に上記n型不純物として、例えばヒ素イオン( $\text{As}^+$ )をイオン注入し、ストレイ効果シリコン層24の上層にn型のソース・ドレイン14、15を形成する。上記イオン注入条件としては、例えば、n型不純物にヒ素イオン( $\text{As}^+$ )を用いた場合、打ち込みエネルギーを5keVとしてヒ素イオンの投影飛程を6nmに設定し、ドーズ量を $5 \times 10^{16}$ 個/ $\text{cm}^2$ に設定した。

【0067】次いで、上記レジストマスクを、例えば酸素アッシングおよび洗浄処理によって除去する。その後、活性化アニーリングを行う。このアニーリング条件としては、ファーストアニーリングの場合には、例えばアニーリング温度を800℃、アニーリング時間を30分に設定する。また急速加熱アニーリング[例えばELA(Excimer Laser Annealing)]の場合には、照射レーザー光のエネルギーを例えば1J/ $\text{cm}^2$ に設定する。このような活性化アニーリングを行うことによって、浅い接合のソース・ドレイン14、15が形成される。同時に、この活性化アニーリングによってソース・ドレイン74、75も活性化される。このようにして、nチャネル電界効果トランジスタ1およびpチャネル電界効果トランジスタ3からなる半導体装置5が形成される。

【0068】なお、上記ソース・ドレイン14、15およびソース・ドレイン74、75はイオン注入により形成したが、例えばレーザードーピング、気相ドーピング、固相ドーピング等の方法を用いて形成することも可能である。

【0069】上記半導体装置の製造方法では、ストレイ効果シリコン層24のみにnチャネル電界効果トランジスタ1のソース・ドレイン14、15およびpチャネル電界効果トランジスタ3のソース・ドレイン74、75を形成することから、ソース・ドレイン14、15およびソース・ドレイン74、75の各接合はストレイ効果シリコン層24内のみに形成されることになる。そのため、接合リークの発生が抑制される。また一つのストレイ効果シリコン層24に各ソース・ドレイン14、15およびソース・ドレイン74、75を形成することから、各ソース・ドレイン14、15およびソース・ドレイン74、75に対応したチャネル形成層を製造する必要がないので、製造プロセスが簡単なる。

【0070】次に半導体装置の製造方法に係わる第2実施形態の一例を、図8の製造工程図によって以下に説明する。図8では、前記図4および図6に示した構成部品と同様のものには同一符号を付す。

【0071】前記図7によって説明した半導体装置の製造方法において、ゲート電極膜41を形成した後、図8の(1)に示すように、ゲート電極13、73となるゲート絶縁膜(41)上にオフセット絶縁膜16を形成し

てから、ゲートのパターニングを行う。次いで、ソース・ドレイン14、15およびソース・ドレイン74、75を形成し、その後サイドウォール絶縁膜17、18およびサイドウォール絶縁膜77、78を形成する。なお、上記ソース・ドレイン14、15およびソース・ドレイン74、75をLDD (Lightly Doped Drain) 構造とする場合には、ゲートのパターニングを行った後、LDD構造を形成する低濃度拡散層を例えばイオン注入により形成する。その場合、pチャネル型電界効果トランジスタのLDDはp型の低濃度拡散層で形成し、nチャネル型電界効果トランジスタのLDDはn型の低濃度拡散層で形成する。その後、ゲート電極13の側壁にサイドウォール絶縁膜17、18を形成するとともにゲート電極73の側壁にサイドウォール絶縁膜77、78を形成してからソース・ドレイン14、15およびソース・ドレイン74、75の各高濃度領域をそれぞれに適用する不純物ドーピング技術 (例えばイオン注入) によって形成する。

【0072】その後、選択的にエピタキシャル成長法によって、ソース・ドレイン14、15上に選択的にシリコンを堆積してシリコンエピタキシャル層33、34を形成する。同時に、ソース・ドレイン74、75上に選択的にシリコンを堆積してシリコンエピタキシャル層83、84を形成する。

【0073】次いで前記図4の(2)によって説明したのと同様の方法によって、図8の(2)に示すように、シリコンエピタキシャル層33、34、83、84側の全面に高融点金属 (例えばチタン) 層37を形成した後、熱処理 (例えばRTA) を行って、シリコンエピタキシャル層33、34に高融点金属シリサイド (例えばチタンシリサイド) 層35、36を形成して、積み上げソース・ドレイン31、32を形成する。同時に、シリコンエピタキシャル層83、84に高融点金属シリサイド (例えばチタンシリサイド) 層85、86を形成して、積み上げソース・ドレイン81、82を形成する。その後、例えばエッチングによって、未反応の高融点金属層37 (2点鎖線で示す部分) を除去する。このようにして、積み上げソース・ドレイン31、32を形成した電界効果トランジスタ2と、積み上げソース・ドレイン81、82を形成した電界効果トランジスタ4からなる半導体装置5が形成される。なお、上記シリサイド化において、同時にゲート電極13、73をポリサイド構造に形成する場合には、上記オフセット絶縁膜16、76は形成しないで、ゲート電極13、73上に接触する状態に上記高融点金属層37を形成する。

【0074】上記半導体装置の製造方法では、ソース・ドレイン14、15、74、75上に堆積したシリコンエピタキシャル層33、34、83、84の上部をシリサイド化して積み上げソース・ドレイン31、32、81、82を形成することから、ソース・ドレイン14、

15、74、75はシリサイド化されない。そのため、特にソース・ドレイン14、15の浅い接合を保った状態で、ソース・ドレイン14、15のシート抵抗を低減することが可能になる。同様に、ソース・ドレイン74、75のシート抵抗も低減される。

【0075】次に、本発明の論理回路に係わる第1実施形態の一例を、図9の回路図によって説明する。以下の説明では、前記図1、図5によって説明した各構成部品と同様にものには同一符号を付して説明する。

【0076】図9に示す論理回路111は、ISSCC Dig. Tech. Papers, "Cascode Voltage Switch Logic: A Differential CMOS Logic Family," [Feb.] (1984) Heller, L.G. and Griffin, W.R., p16-17 に開示されている回路構成と同等である。そして論理を構成するnチャネル型電界効果トランジスタ (nMOS) 112~115と、pMOS交差ラッチを構成するpチャネル型電界効果トランジスタ (pMOS) 121、122とは、前記図1および図5によって説明した半導体基板11の上層に形成したストレイ効果シリコン層24に形成されている。この構成が本発明の論理回路の特徴である。すなわち、上記nMOS 112~115の各ソース・ドレイン (図示省略) もストレイ効果シリコン層24のみに形成され、また上記pMOS 121、122の各ソース・ドレイン (図示省略) はストレイ効果シリコン層24のみに形成されている。

【0077】上記論理回路111では、nMOS 112~115の各ソース・ドレインがストレイ効果シリコン層24のみに形成されていることから、各ソース・ドレインの接合はストレイ効果シリコン層24内に存在することになる。そのため、接合リークの発生が起きにくくなるので、論理回路111の信頼性の向上が図れる。また上記論理回路111では、論理はnMOS 112~115で構成され、負荷はpMOS 121、122の交差ラッチで形成されている。この場合、出力が変化してpMOS交差ラッチが反転するとき、論理回路に直流電流が流れ、出力の変化が終了するとともに直流電流は流れなくなる。またこの論理回路111の特徴として、動作時に各トランジスタにかかる電界が緩和される。そのため、移動度の低下が起こらないため、高速動作が可能になる。またnMOSのチャネル層はストレイ効果シリコン層24に形成されるため、シリコンと下地のシリコンゲルマニウムからなるリラックス層23との格子定数の相違によりシリコンネットワークは引張応力を受ける。そのため、伝導帯の底の縮退がとけ、電子はその有効質量が小さくなり、移動度は2倍近くに増大する。したがって、nMOSトランジスタとしての相互コンダクタンス $g_m$ は2倍近くに向上される。一方、pMOS 121、122には高性能を要求されていないため、少ない素子数での構成が可能になる。このようにして、低電圧で高速動作が可能な論理回路が構成される。

【0078】次に論理回路に係わる第2実施形態の一例を、図10の回路図によって説明する。以下の説明では、前記図1、図5によって説明した各構成部品と同様にものには同一符号を付して説明する。

【0079】図10に示す論理回路131は、IEEE J. Solid-state Circuits, "A 3.8-ns CMOS 16×16-b Multiplier Using Complementary Pass-Transistor Logic," 25 [2] (1990) Yano, K. et al., p388-395 に開示されている回路構成と同等であり、バス・トランジスタ・ロジックを用いた基本回路の一つである。すなわち、論理回路はnMOSバストランジスタにより構成されている。そしてバス・トランジスタ・ロジックを構成するnチャネル型電界効果トランジスタ(nMOS)132~135と、CMOSインバータ143、144と、出力レベルの補償を行うpチャネル型電界効果トランジスタ(pMOS)141、142とは、前記図1および図5によって説明した半導体基板11の上層に形成したストレイン効果シリコン層24に形成されている。この構成が本発明の論理回路の特徴である。すなわち、上記nMOS132~135の各ソース・ドレイン(図示省略)もストレイン効果シリコン層24のみに形成され、また上記pMOS141、142のソース・ドレイン(図示省略)、CMOSインバータ143、144の各ソース・ドレイン(図示省略)はストレイン効果シリコン層24のみに形成されている。

【0080】上記論理回路131では、nMOS112~115の各ソース・ドレインがストレイン効果シリコン層24のみに形成されていることから、各ソース・ドレインの接合はストレイン効果シリコン層24内に存在することになる。そのため、接合リークの発生が起きにくくなるので、論理回路111の信頼性の向上が図れる。また上記論理回路131では、例えば論理はnMOSバストランジスタにより構成され、出力に設けたCMOSインバータ143、144によって、例えばnMOSバス・トランジスタに「H」レベルの信号を通したときに「H」レベルが $V_{DD}$ よりもnMOSのしきい電圧だけ下がるのを元に戻すとともに、負荷の駆動力を増強される。さらにpMOS141、142の交差ラッチにより出力レベルの補償を行う。すなわち「H」レベルを $V_{DD}$ に補正する。そのためのpMOS141、142には駆動力はいらない。なおpMOS141、142の交差ラッチの反転動作が遅くならないようにするには、pMOS141、142のチャネル幅を大きく、チャネル長を小さく設計すればよい。

【0081】次いで論理回路に係わる第3実施形態の一例を、図11の回路図によって説明する。以下の説明では、前記図1、図5によって説明した各構成部品と同様にものには同一符号を付して説明する。

【0082】図11に示す論理回路151は、Proc. IE EE 1994 CICC, "A High Speed, LowPower, Swing Restor

ed Pass-Transistor Logic Based Multiply and Accumulate Circuit for Multimedia Applications," [May.] (1994) Prameswar, A., Hara, H., and Sakurai, T., p358-362 に開示されている回路構成と同等であり、バス・トランジスタ・ロジックを用いた基本回路の一つである。すなわち、nMOSバス・トランジスタ・ロジックとCMOSラッチが用いられている。そしてバス・トランジスタ・ロジックを構成するnチャネル型電界効果トランジスタ(nMOS)152~155と、CMOSラッチを構成するpチャネル型電界効果トランジスタ(pMOS)161、162とnチャネル型電界効果トランジスタ(nMOS)163、164とは、前記図1および図5によって説明した半導体基板11の上層に形成したストレイン効果シリコン層24に形成されている。この構成が本発明の論理回路の特徴である。すなわち、上記nMOS152~155およびnMOS163、164の各ソース・ドレイン(図示省略)もストレイン効果シリコン層24のみに形成され、また上記pMOS161、162の各ソース・ドレイン(図示省略)はストレイン効果シリコン層24のみに形成されている。

【0083】上記論理回路151では、nMOS112~115の各ソース・ドレインがストレイン効果シリコン層24のみに形成されていることから、各ソース・ドレインの接合はストレイン効果シリコン層24内に存在することになる。そのため、接合リークの発生が起きにくくなるので、論理回路131の信頼性の向上が図れる。

【0084】さらに、CMOSラッチはプッシュプルで動作するため、pMOS交差ラッチと比較すると動作余裕が大きくなる特徴があり、またスタティック電流が流れないため、動作速度が速くなる。したがって、前記論理回路131よりも低消費電力化が図れ、高速動作が可能になる。また、nMOS構成のバス・トランジスタに対するCMOSラッチのpMOSおよびnMOSの各ゲート幅の比率が変化しても、遅延時間の最適領域を広く取れる利点を有する。そのため、設計余裕が大きくなり、それにとまって製造余裕も大きくなる利点を有している。

【0085】なお、上記論理回路111、131、151は一例であって、バス・トランジスタ・ネットワークを用いた他の論理回路、例えばDSL(Differential Split-Level logic)、DCVSPG(Differential Cascode Voltage Switch with the Pass-Gate)等にも、上記図1や図5等によって説明したストレイン効果シリコン層24に電界効果トランジスタ1や半導体装置5を形成する構成を用いることは可能である。

【0086】次に、本発明の半導体基板に係わる実施形態の一例を、図12の概略構成断面図によって説明する。図12では、前記図1によって説明した構成部品と同様のものには同一符号を付す。

【0087】図12に示すように、半導体基板91は、ゲルマニウム基板92上に、リラックス層23が形成され、その上にストレイン効果を有する半導体層であるストレイン効果シリコン層24が形成されているものである。上記リラックス層23は、例えば、 $n^-$ （または $p^-$ ）型の応力が緩和されているシリコンゲルマニウム（ $Si_{0.7}Ge_{0.3}$ ）からなり、例えばおよそ0.6 $\mu m$ の厚さに形成されている。なお、ゲルマニウムの組成比は上記値に限定されることはなく適宜選択される。またストレイン効果シリコン層24は前記図1によって説明したものと同様である。上記の如く、半導体基板91が構成されている。

【0088】上記半導体基板91では、ゲルマニウム基板92を用いていることから、ゲルマニウム基板92上にバッファ層を形成することなく直接に応力が緩和されているシリコンゲルマニウム層からなるリラックス層23を形成することが可能になっている。すなわち、ゲルマニウム基板92とリラックス層23との間で格子不整合が起き難いため、上記構成を採用することが可能になる。そのため、半導体基板91の構造が簡単化され、この半導体基板91を形成するプロセスも簡単化される。

【0089】次に上記半導体基板91は、例えば、前記図1によって説明した前記半導体基板11の代わりに上記図12によって説明した半導体基板91を用いて、前記図1によって説明した電界効果トランジスタ1を半導体基板91のストレイン効果シリコン層24に形成することが可能である。また前記図5によって説明した前記半導体基板11の代わりに上記図12によって説明した半導体基板91を用いて、前記図5によって説明した半導体装置5を半導体基板91のストレイン効果シリコン層24に形成することも可能である。

#### 【0090】

【発明の効果】以上、説明したように本発明の電界効果トランジスタによれば、ソース・ドレインがストレイン効果を有する半導体層であるストレイン効果シリコン層のみに形成されているので、ソース・ドレインの接合はストレイン効果シリコン層内に存在する。そのため、トランジスタの移動度の向上が図れるとともに、接合リークが発生が起きにくくなるのでトランジスタ性能の向上を図ることが可能になる。

【0091】本発明の電界効果トランジスタの製造方法によれば、ストレイン効果を有する半導体層であるストレイン効果シリコン層のみに電界効果トランジスタのソース・ドレインを形成するので、ソース・ドレインの接合はストレイン効果シリコン層内にのみ形成することができる。そのため、接合リークが発生を抑制することができる。

【0092】本発明の半導体装置によれば、pチャネル型電界効果トランジスタのソース・ドレインおよびnチ

ャネル型電界効果トランジスタのソース・ドレインともに、ストレイン効果を有する半導体層であるストレイン効果シリコン層のみに形成されているので、各ソース・ドレインの接合はストレイン効果シリコン層内に存在する。そのため、トランジスタのモビリティの向上が図れるとともに、接合リークが発生が起きにくくなるのでトランジスタ性能の向上を図ることが可能になる。また一つのストレイン効果シリコン層に各ソース・ドレインが形成されていることから、従来のCMOS構造とほぼ同等の構造となる。そのため、構造が簡単になる。

【0093】本発明の半導体装置の製造方法によれば、ストレイン効果を有する半導体層であるストレイン効果シリコン層のみにpチャネル電界効果トランジスタのソース・ドレインおよびnチャネル電界効果トランジスタのソース・ドレインを形成するので、各ソース・ドレインの接合はストレイン効果シリコン層内にのみ形成できる。そのため、接合リークが発生を抑制することができる。また一つのストレイン効果シリコン層に各ソース・ドレインを形成することから、各ソース・ドレインに対応したチャネル形成層を製造する必要がないので、製造プロセスの簡単化が図れる。

【0094】本発明の論理回路によれば、半導体基板の上層にストレイン効果シリコン層が形成され、各電界効果トランジスタのソース・ドレインがストレイン効果シリコン層のみに形成されているので、各ソース・ドレインの接合はストレイン効果シリコン層内に存在する。そのため、トランジスタのモビリティの向上が図れるとともに、接合リークが発生が起きにくくなるのでトランジスタ性能の向上を図ることが可能になる。また一つのストレイン効果シリコン層に各電界効果トランジスタのソース・ドレインが形成されていることから、従来のCMOS構造とほぼ同等の構造となる。そのため、構造が簡単になる。

【0095】本発明の半導体基板によれば、ゲルマニウム基板を用いているので、ゲルマニウム基板上にバッファ層を形成することなく直接に応力が緩和されているシリコンゲルマニウム層からなるリラックス層を形成することが可能になる。すなわち、ゲルマニウム基板とリラックス層との間で格子不整合が起き難いため、上記構成を採用することが可能になる。そのため、半導体基板の構造を簡単化でき、また半導体基板を形成するプロセスを簡単化することができる。

#### 【図面の簡単な説明】

【図1】電界効果トランジスタに係わる第1実施形態の概略構成断面図である。

【図2】電界効果トランジスタに係わる第2実施形態の概略構成断面図である。

【図3】電界効果トランジスタの製造方法に係わる第1実施形態の製造工程図である。

【図4】電界効果トランジスタの製造方法に係わる第2

実施形態の製造工程図である。

【図5】半導体装置に係わる第1実施形態の概略構成断面図である。

【図6】半導体装置に係わる第2実施形態の概略構成断面図である。

【図7】半導体装置の製造方法に係わる第1実施形態の製造工程図である。

【図8】半導体装置の製造方法に係わる第2実施形態の製造工程図である。

【図9】論理回路に係わる第1実施形態の回路図である。

【図10】論理回路に係わる第2実施形態の回路図である。

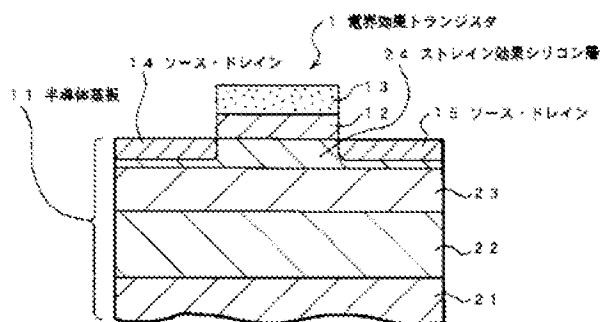
【図11】論理回路に係わる第3実施形態の回路図である。

【図12】半導体基板に係わる実施形態の概略構成断面図である。

【符号の説明】

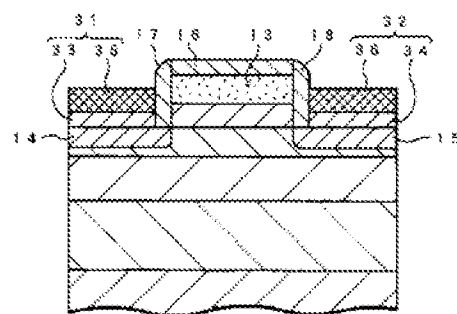
1 電界効果トランジスタ    11 半導体基板  
14, 15 ソース・ドレイン    24 ストレイン効果を有する半導体層

【図1】



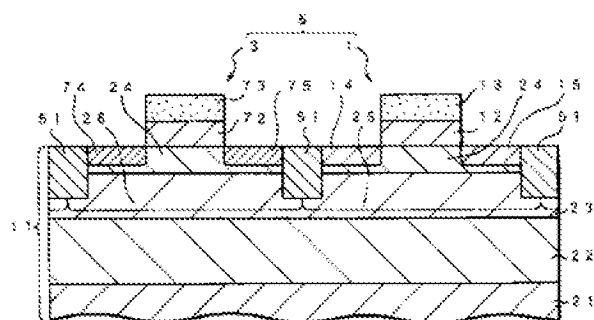
電界効果トランジスタに係わる第1実施形態の概略構成断面図

【図2】



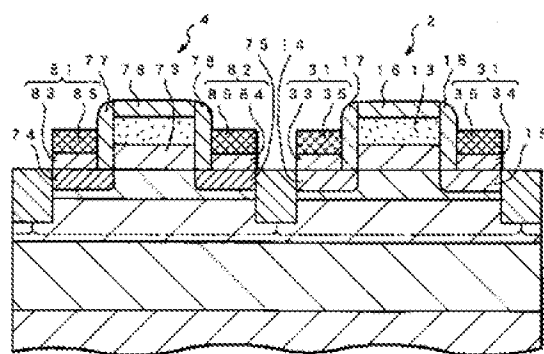
電界効果トランジスタに係わる第2実施形態の概略構成断面図

【図5】



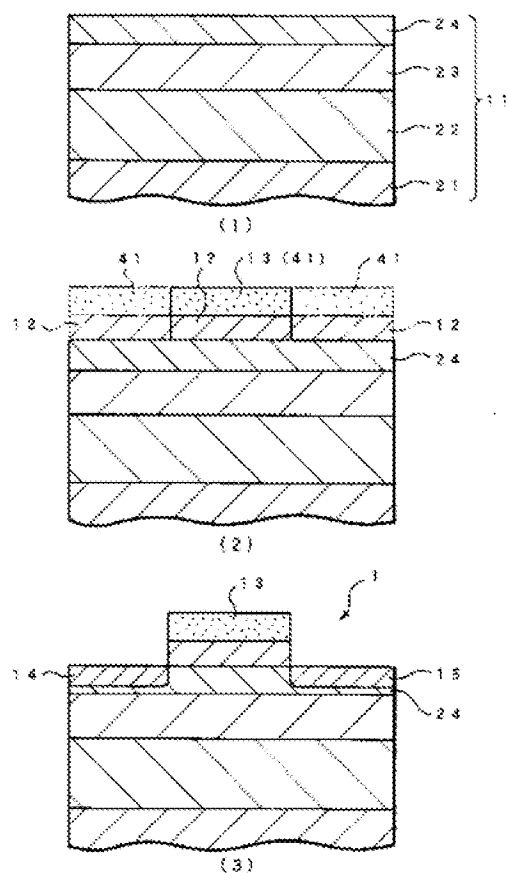
半導体装置に係わる第1実施形態の概略構成断面図

【図6】



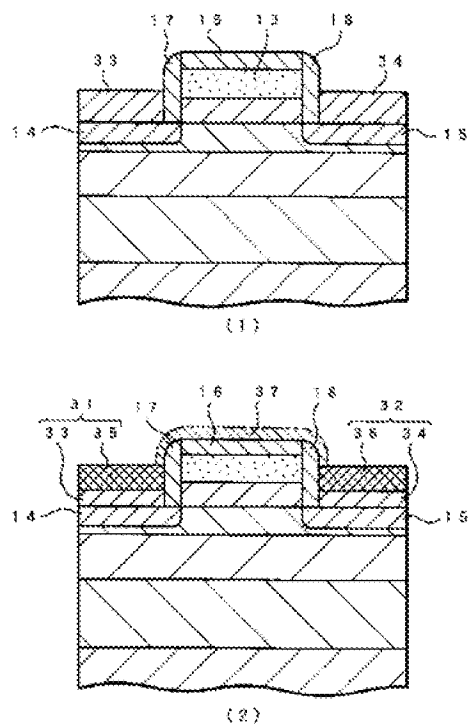
半導体装置に係わる第2実施形態の概略構成断面図

【図3】



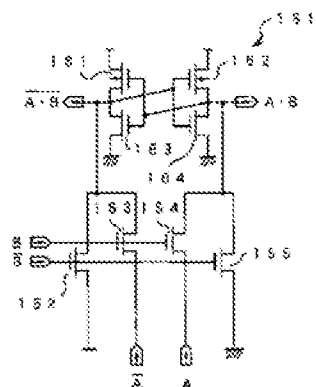
電界効果トランジスタの製造方法に係わる第1実施形態の製造工程図

【図4】



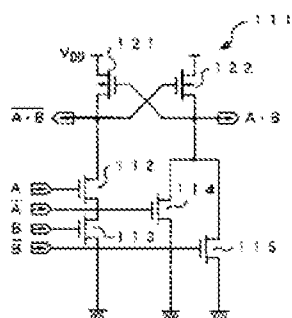
電界効果トランジスタの製造方法に係わる第2実施形態の製造工程図

【図11】

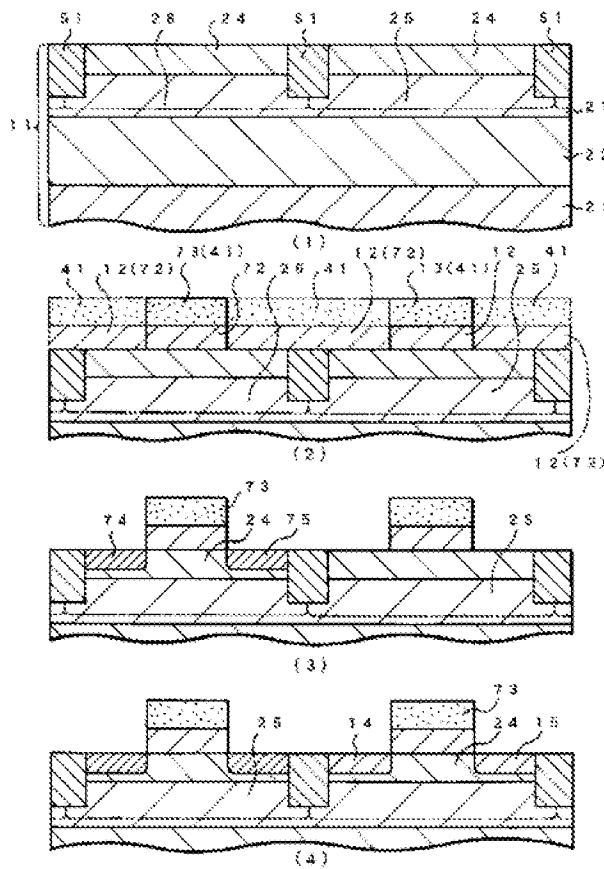


論理回路に係わる第3実施形態の回路図

【図9】

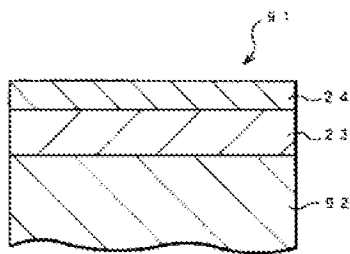


【図7】



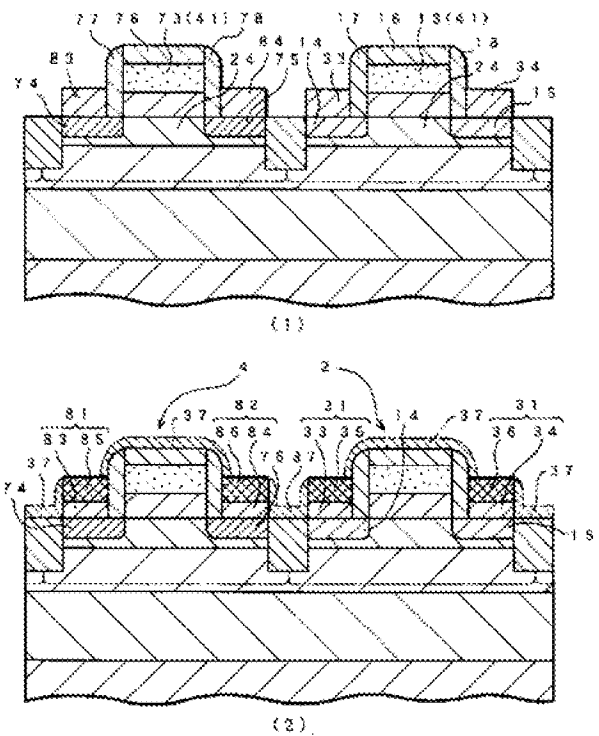
半導体装置の製造方法に係わる第1実施形態の製造工程図

【図12】



半導体基板に係わる実施形態の最終構成断面図

【図8】



半導体装置の製造方法に係わる第2実施形態の製造工程図

## 【手続補正書】

【提出日】平成10年3月3日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】上記イオン注入条件としては、例えば、不純物にヒ素イオン ( $As^+$ ) を用いた場合には、打ち込みエネルギーを5 keVとしてヒ素イオンの投影飛程を6 nmに設定し、ドーズ量を  $5 \times 10^{15}$  個/cm<sup>2</sup> に設定した。その後、活性化アニーリングを行う。このアニーリング条件としては、ファーンেসアニーリングの場合



には、例えばアニーリング温度を800℃、アニーリング時間を20分に設定する。また急速加熱アニーリング（RTA：Rapid Thermal Annealing）を、例えばELA（Excimer Laser Annealing）によって行う場合には、例えば照射レーザー光のエネルギーを1 J/cm<sup>2</sup>に設定する。またこのような活性化アニーリングを行うこ

とによって、浅い接合のソース・ドレイン14、15（接合深さが6 nm程度）が形成される。上記のごとくアニーリングは、浅い接合を確実に形成するためにRTAもしくはELAによって行うことが好ましい。このようにして、電界効果トランジスタ1が形成される。

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233744

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl. <sup>8</sup>	識別記号	F I	
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4
G 1 1 C 17/12		G 1 1 C 17/00	3 0 4 B
	16/04		6 2 2 A
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1
	29/788		

審査請求 未請求 請求項の数12 O L (全 14 頁) 最終頁に続く

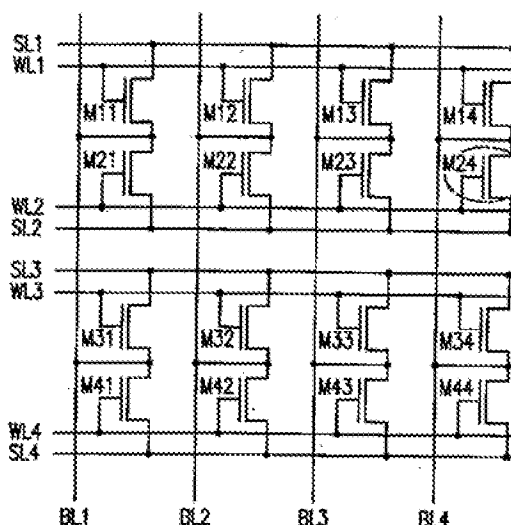
(21) 出願番号	特願平10-340761	(71) 出願人	000005843 松下電子工業株式会社 大阪府高槻市幸町1番1号
(22) 出願日	平成10年(1998)11月30日	(72) 発明者	高橋 桂太 大阪府高槻市幸町1番1号 松下電子工業 株式会社内
(31) 優先権主張番号	特願平9-342638	(74) 代理人	弁理士 山本 秀策
(32) 優先日	平9(1997)12月12日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 不揮発性半導体記憶装置およびその駆動方法

(57) 【要約】

【課題】 低電圧においても十分なオン状態のメモリセル読み出し電流を確保することができ、低電圧下での高速読み出しを可能とする不揮発性半導体記憶装置およびその駆動方法を提供する。

【解決手段】 本発明の不揮発性半導体記憶装置は、半導体基板の上に、マトリクス状に配置された複数のメモリセルと、行方向に延びる複数のワード線と、前記行方向に延びる複数のソース線と、列方向に延びる複数のビット線とを備えた不揮発性半導体記憶装置であって、ある行に属する複数のメモリセルが、前記複数のソース線のうちの第1のソース線と接続され、前記ある行と隣接する行に属する複数のメモリセルが、前記複数のソース線のうちの第2のソース線と接続され、前記第1のソース線は、前記第2のソース線と電気的に独立している。



【特許請求の範囲】

【請求項1】 半導体基板の上に、マトリクス状に配置された複数のメモリセルと、行方向に延びる複数のワード線と、該行方向に延びる複数のソース線と、列方向に延びる複数のビット線とを備えた不揮発性半導体記憶装置であって、

ある行に属する複数のメモリセルが、該複数のソース線のうちの第1のソース線と接続され、

該ある行と隣接する行に属する複数のメモリセルが、該複数のソース線のうちの第2のソース線と接続され、該第1のソース線は、該第2のソース線と電気的に独立している不揮発性半導体記憶装置。

【請求項2】 前記第1のソース線は、前記第2のソース線と素子分離領域により絶縁されている請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 半導体基板の上に、マトリクス状に配置された複数のメモリセルと、行方向に延びる複数のワード線と、該行方向に延びる複数のソース線と、列方向に延びる複数のビット線とを備えた不揮発性半導体記憶装置であって、

ある列に属する複数のメモリセルのうちの第1の組が、該複数のビット線のうちの第1のビット線と接続され、該ある列に属する複数のメモリセルのうちの第2の組が、該複数のビット線のうちの第2のビット線と接続され、該第1のビット線は、該第2のビット線と電気的に独立している不揮発性半導体記憶装置。

【請求項4】 前記第1の組が前記第2の組と前記列方向で隣接している請求項3に記載の不揮発性半導体記憶装置。

【請求項5】 前記複数のメモリセルのそれぞれは、ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタである請求項1～4のうちの1つに記載の不揮発性半導体記憶装置。

【請求項6】 前記複数のメモリセルのそれぞれは、制御ゲート電極、浮遊ゲート電極、ドレイン領域およびソース領域を備えた浮遊ゲート電極型MOSトランジスタである請求項1～4のうちの1つに記載の不揮発性半導体記憶装置。

【請求項7】 前記複数のメモリセルのうち、低い方のしきい値電圧を有するメモリセルが、デプレッション状態である請求項1～6のうちの1つに記載の不揮発性半導体記憶装置。

【請求項8】 前記不揮発性半導体記憶装置は、前記行方向に延びる複数の第1導電型のウェルを備え、前記複数のメモリセルの1つは、該複数の第1導電型のウェルの1つ上に、ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタであり、該複数の第1導電型のウェルのそれぞれが電気的に独立

している請求項1または2に記載の不揮発性半導体記憶装置。

【請求項9】 前記不揮発性半導体記憶装置は、前記行方向に延びる複数の第1導電型のウェルを備え、前記複数のメモリセルの1つは、該複数の第1導電型のウェルの1つ上に、制御ゲート電極、浮遊ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタであり、該複数の第1導電型のウェルのそれぞれが電気的に独立している請求項1または2に記載の不揮発性半導体記憶装置。

【請求項10】 前記複数のメモリセル中から選択されたメモリセルに記憶されている情報を読み出す不揮発性半導体記憶装置の駆動方法であって、該選択されたメモリセルに対応するビット線に、前記半導体基板に対して逆バイアスとなる極性の第1の電圧を印加する工程と、該選択されたメモリセルに対応するワード線に該第1の電圧と同一極性の第2の電圧を印加する工程と、該選択されたメモリセル以外のメモリセルに対応するソース線に該第1の電圧と同一極性の第3の電圧を印加する工程と、該選択されたメモリセルに対応するソース線に該半導体基板の電位を印加する工程とを包含する請求項1～4のうちの1つに記載の不揮発性半導体記憶装置の駆動方法。

【請求項11】 前記第1の電圧と前記第3の電圧とがほぼ同一電圧である請求項10に記載の不揮発性半導体記憶装置の駆動方法。

【請求項12】 前記複数のメモリセル中から選択されたメモリセルに記憶されている情報を読み出す不揮発性半導体記憶装置の駆動方法であって、該選択されたメモリセルに対応するビット線に、前記半導体基板に対して逆バイアスとなる極性の第1の電圧を印加する工程と、該選択されたメモリセルに対応するワード線に該第1の電圧と同一極性の第2の電圧を印加する工程と、該選択されたメモリセルが属していない第1導電型のウェルに該第1の電圧と逆極性の第3の電圧を印加する工程と、該選択されたメモリセルが属している第1導電型のウェルに接地電位を印加する工程とを包含する請求項8または9に記載の不揮発性半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置、特にマスク型および浮遊ゲート電極型の不揮発性半導体記憶装置およびその駆動方法に関するものである。

【0002】

【従来の技術】近年、低電圧で高速に動作する不揮発性半導体記憶装置が利用されるようになってきている。このような不揮発性半導体記憶装置を広く提供するために、低電圧で高速動作が可能な不揮発性半導体記憶装置、ならびにこの不揮発性半導体記憶装置の駆動方法が求められている。

【0003】以下、従来の不揮発性半導体記憶装置500を、図15、図16および図17を用いて説明する。

【0004】不揮発性半導体記憶装置500は、複数のメモリセルがビット線に並列に接続される形式をとっているため、NOR型と呼ばれるメモリセルアレイ構造を有している。

【0005】図15は、従来の不揮発性半導体記憶装置500のメモリセルアレイ構成を示す模式図である。

【0006】図15に示す不揮発性半導体記憶装置500は、MOSトランジスタからなるメモリセルM11～M44、ワード線WL1～WL4、ソース線SL1～SL3、およびビット線BL1～BL4を備えている。

【0007】不揮発性半導体記憶装置500は、図15に示すように、メモリセルM24のゲートがワード線WL2に接続され、メモリセルM24のソースがソース線SL2に接続され、メモリセルM24のドレインがビット線BL4に接続されている。不揮発性半導体記憶装置500では、メモリセルM21～M24が属する行のメモリセルは、メモリセルM31～M34が属する行のメモリセルとソース線SL2を共有している。なお、メモリセルM11～M14が属する行のメモリセルは、それに対向する行のメモリセル（図示されず）とソース線SL1を共有している。また、ソース線SL3についても、同様である。

【0008】図16は、図15に示す不揮発性半導体記憶装置500のパターンレイアウトを示す模式的平面図である。

【0009】図16に示すように、不揮発性半導体記憶装置500は、さらに、素子分離領域5とビット線コンタクト6を備えている。

【0010】以下、従来の不揮発性半導体記憶装置500に情報を書き込む方法および消去方法を図17を用いて説明する。

【0011】図17は、不揮発性半導体記憶装置500におけるメモリセルのしきい値電圧分布図（複数メモリセル）である。なお、図17において、横軸はメモリセルのしきい値電圧 $V_{th}$ を示し、縦軸はメモリセルの個数を示している。

【0012】ここでは、不揮発性半導体記憶装置500は、2種類の異なるしきい値電圧を有するN型MOSトランジスタからなるマスクROMとする。

【0013】消去状態（図17中の“E”状態）とは、N型MOSトランジスタが、エンハンスメント状態である1V程度のしきい値電圧（低い方のしきい値電圧）に

設定されることを意味し、消去状態はメモリアレイ全体のメモリセルのチャネル部に対するイオン注入法により制御される。

【0014】また、書き込み状態（図17中の“W”状態）とは、選択されたN型MOSトランジスタのチャネル部に対してのみ、さらにイオン注入を追加することにより、電源電圧 $V_{DD}$ よりも高いエンハンスメント状態である4V程度のしきい値電圧（高い方のしきい値電圧）が設定される。

【0015】以下、従来の不揮発性半導体記憶装置500から情報を読み出す方法を、図15を用いて説明する。

【0016】図15中に破線で囲んだメモリセルM24が選択される場合は、半導体基板電位を接地電位（0V）として、ワード線WL2を3Vとし、ビット線BL4を1Vとする。また、他のワード線WL1、WL3、WL4、ソース線SL1、SL2、SL3、他のビット線BL1、BL2、BL3を0V、あるいはOPEN状態とする。なお、図15のメモリセルアレイが配置されている半導体基板は接地電位に固定されていて、他の部分への電圧を印加する際の基準電位となっている。

【0017】もし、メモリセルM24が消去状態であれば、しきい値電圧が0.5V程度であるので、メモリセルM24がオン状態となり、ビット線BL4にメモリセル読み出し電流が流れる。一方、メモリセルM24が書き込み状態であれば、しきい値電圧が4V程度であるので、メモリセルM24がオフ状態となり、ビット線BL4にメモリセル読み出し電流は流れない。この電流量をセンスアンプで検知することにより、読み出し動作が行われる。

【0018】なお、上述したように、選択されたメモリセルM24に流れるメモリセル読み出し電流量を用いて、メモリセルM24に格納された情報の読み出し動作が行われるため、選択されたメモリセルM24と同一のビット線BL4に接続される非選択のメモリセル（M14、M34、M44）から流れる電流を、ほぼゼロに抑える必要がある。そのためには、これらの非選択メモリセルのしきい値電圧を約0.5V以上に設定しなければならない。

【0019】

【発明が解決しようとする課題】しかしながら、従来の不揮発性半導体記憶装置500およびその書き換え方法では、消去状態のメモリセルのしきい値電圧、つまり低い方のしきい値電圧を約0.5V以上に設定していることから、不揮発性半導体記憶装置500を低電圧（低い電源電圧）で動作させると、読み出し時に消去状態（オン状態）のメモリセル読み出し電流が少なくなり、高速に読み出すことが困難になるという問題があった。

【0020】本発明は、上記問題を鑑み、低電圧においても十分なオン状態のメモリセル読み出し電流を確保す

ることができ、低電圧下での高速読み出しを可能とする不揮発性半導体記憶装置およびその駆動方法を提供することを目的とする。

#### 【0021】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、半導体基板の上に、マトリクス状に配置された複数のメモリセルと、行方向に延びる複数のワード線と、前記行方向に延びる複数のソース線と、列方向に延びる複数のビット線とを備えた不揮発性半導体記憶装置であって、ある行に属する複数のメモリセルが、前記複数のソース線のうちの第1のソース線と接続され、前記ある行と隣接する行に属する複数のメモリセルが、前記複数のソース線のうちの第2のソース線と接続され、前記第1のソース線は、前記第2のソース線と電気的に独立し、そのことにより上記目的が達成される。

【0022】前記第1のソース線は、前記第2のソース線と素子分離領域により絶縁されてもよい。

【0023】本発明の他の不揮発性半導体記憶装置は、半導体基板の上に、マトリクス状に配置された複数のメモリセルと、行方向に延びる複数のワード線と、前記行方向に延びる複数のソース線と、列方向に延びる複数のビット線とを備えた不揮発性半導体記憶装置であって、ある列に属する複数のメモリセルのうちの第1の組が、前記複数のビット線のうちの第1のビット線と接続され、前記ある列に属する複数のメモリセルのうちの第2の組が、前記複数のビット線のうちの第2のビット線と接続され、前記第1のビット線は、前記第2のビット線と電気的に独立し、そのことにより上記目的が達成される。

【0024】前記第1の組が前記第2の組と前記列方向で隣接していてもよい。

【0025】前記複数のメモリセルのそれぞれは、ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタであってもよい。

【0026】前記複数のメモリセルのそれぞれは、制御ゲート電極、浮遊ゲート電極、ドレイン領域およびソース領域を備えた浮遊ゲート電極型MOSトランジスタであってもよい。

【0027】前記複数のメモリセルのうち、低い方のしきい値電圧を有するメモリセルが、デプレッション状態であってもよい。

【0028】前記不揮発性半導体記憶装置は、前記行方向に延びる複数の第1導電型のウェルを備え、前記複数のメモリセルの1つは、前記複数の第1導電型のウェルの1つ上に、ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタであり、前記複数の第1導電型のウェルのそれぞれが電気的に独立していてもよい。

【0029】前記不揮発性半導体記憶装置は、前記行方向に延びる複数の第1導電型のウェルを備え、前記複数

のメモリセルの1つは、前記複数の第1導電型のウェルの1つ上に、制御ゲート電極、浮遊ゲート電極、ゲート絶縁膜、ドレイン領域およびソース領域を有するMOSトランジスタであり、前記複数の第1導電型のウェルのそれぞれが電気的に独立していてもよい。

【0030】前記複数のメモリセルの中から選択されたメモリセルに記憶されている情報を読み出す不揮発性半導体記憶装置の駆動方法であって、前記選択されたメモリセルに対応するビット線に、前記半導体基板に対して逆バイアスとなる極性の第1の電圧を印加する工程と、前記選択されたメモリセルに対応するワード線に前記第1の電圧と同一極性の第2の電圧を印加する工程と、前記選択されたメモリセル以外のメモリセルに対応するソース線に前記第1の電圧と同一極性の第3の電圧を印加する工程と、前記選択されたメモリセルに対応するソース線に前記半導体基板の電位を印加する工程とを包含してもよい。

【0031】前記第1の電圧と前記第3の電圧とがほぼ同一電圧であってもよい。

【0032】前記複数のメモリセルの中から選択されたメモリセルに記憶されている情報を読み出してもよい。

【0033】前記選択されたメモリセルに対応するビット線に、前記半導体基板に対して逆バイアスとなる極性の第1の電圧を印加する工程と、前記選択されたメモリセルに対応するワード線に前記第1の電圧と同一極性の第2の電圧を印加する工程と、前記選択されたメモリセルが属していない第1導電型のウェルに前記第1の電圧と逆極性の第3の電圧を印加する工程と、前記選択されたメモリセルが属している第1導電型のウェルに接地電位を印加する工程とを包含してもよい。

【0034】以下、作用を説明する。

【0035】本発明は、選択するメモリセルのしきい値電圧の下限としてデプレッション型を許容し、選択するメモリセルと同一ビット線上にある非選択のメモリセルのしきい値電圧の下限を、バックバイアス効果によりエンハンスメント型にするというものである。

【0036】本発明の不揮発性半導体記憶装置では、選択されたメモリセルのソース線の電位を非選択のメモリセルのソース線と異なる電位に設定できるアレイ構造、あるいは選択されたメモリセルのウェル線の電位を非選択のメモリセルのウェル線と異なる電位に設定できるアレイ構造を有する。

【0037】また、本発明の不揮発性半導体記憶装置における情報の書き込みおよび消去は、消去状態にあるメモリセルにおけるしきい値電圧の下限としてデプレッション状態を許容する。

【0038】また、複数のメモリセルの中から選択されたメモリセルに記憶されている情報を読み出す不揮発性半導体記憶装置の駆動方法では、選択されたメモリセルのソース線を接地電位に、非選択メモリセルのソース線を

正電圧に設定するか、あるいは、選択されたメモリセルのウェル線を接地電位に、非選択メモリセルのウェル線を負電圧に設定する。

【0039】本発明の不揮発性半導体記憶装置では、非選択メモリセルのソース線に半導体基板に対して逆バイアスとなる電圧を印加することによるバックバイアス効果によって、非選択メモリセルのしきい値電圧を高くしている。このため、本発明の不揮発性半導体記憶装置では、メモリセルの低い方のしきい値電圧を、従来の不揮発性半導体記憶装置より低く設定することができ、低電圧においても十分なオン状態のメモリセルの読み出し電流量を確保できる。その結果、本発明の不揮発性半導体記憶装置は、低電圧下での高速読み出しを可能とする。

【0040】本発明の不揮発性半導体記憶装置では、メモリセルの低い方のしきい値電圧状態の少なくとも一部がデプレッション状態であるので、その状態における読み出し電流を多くすることができ、低電圧下での読み出し速度をさらに高めることができる。

【0041】本発明の、複数のメモリセル中から選択されたメモリセルに記憶されている情報を読み出す不揮発性半導体記憶装置の駆動方法は、非選択メモリセルのソース線に半導体基板に対して逆バイアスとなる電圧を印加することによるバックバイアス効果によって、非選択メモリセルのしきい値電圧を高くすることができる。したがって、本発明の駆動方法では、メモリセルの低い方のしきい値電圧を、従来の駆動方法より低く設定でき、低電圧においても十分なオン状態のメモリセルの読み出し電流量を確保できる。その結果、本発明の駆動方法は、低電圧下での高速読み出しを可能とする。

【0042】本発明の駆動方法では、バックバイアス効果が大きく、かつソース線から電流が流れないので、最も高速読み出し性能を高くできる。

【0043】本発明の他の不揮発性半導体記憶装置では、非選択メモリセルのウェル線に半導体基板に対して順バイアスとなる電圧を印加することによるバックバイアス効果によって、非選択メモリセルのしきい値電圧を高くしている。このため、本発明の他の不揮発性半導体記憶装置では、メモリセルの低い方のしきい値電圧を従来の不揮発性半導体記憶装置より低く設定でき、低電圧においても十分なオン状態のメモリセルの読み出し電流量を確保できる。その結果、本発明の他の不揮発性半導体記憶装置は、低電圧下での高速読み出しを可能とする。

【0044】本発明の他の不揮発性半導体記憶装置では、メモリセルの低い方のしきい値電圧状態の少なくとも一部がデプレッション状態であるので、その状態における読み出し電流を多くすることができ、低電圧下での読み出し速度をさらに高めることができる。

【0045】本発明の、複数のメモリセル中から選択されたメモリセルに記憶されている情報を読み出す不揮発

性半導体記憶装置の他の駆動方法は、非選択メモリセルのウェル線に半導体基板に対して順バイアスとなる電圧を印加することによるバックバイアス効果によって、非選択メモリセルのしきい値電圧を高くすることができる。したがって、本発明の他の駆動方法は、メモリセルの低い方のしきい値電圧を従来の駆動方法より低く設定でき、低電圧においても十分なオン状態のメモリセルの読み出し電流量を確保できる。その結果、本発明の他の駆動方法は、低電圧下での高速読み出しを可能とする。

【0046】

【発明の実施の形態】（第1の実施の形態）以下、本発明の第1の実施の形態について、図面を参照しながら説明する。

【0047】図1は、本発明の第1の実施の形態における不揮発性半導体記憶装置10のメモリセルアレイ構成の模式図である。

【0048】不揮発性半導体記憶装置10は、MOSトランジスタからなるメモリセルM11～M44、ワード線WL1～WL4、ソース線SL1～SL4、およびビット線BL1～BL4を備えている。

【0049】不揮発性半導体記憶装置10では、メモリセルM24のゲートがワード線WL2に接続され、メモリセルM24のソースがソース線SL2に接続され、メモリセルM24のドレインがビット線BL4に接続されている。

【0050】メモリセルM11～M14が属する行にソース線SL1が対応し、メモリセルM21～M24が属する行にソース線SL2が対応し、メモリセルM31～M34が属する行にソース線SL3が対応し、メモリセルM41～M44が属する行にソース線SL4が対応する。つまり、不揮発性半導体記憶装置10では、ある行のメモリセルは、他の行のメモリセルとソース線を共有していない。

【0051】図2は、不揮発性半導体記憶装置10のパターンレイアウトを示す模式的平面図である。すなわち、図2は、図1に示す不揮発性半導体記憶装置10のアレイ構造の一例を示している。また、図3は、図2に示す不揮発性半導体記憶装置10を線分A-Aで切断した場合における断面を示す図であり、図4は、図2に示す不揮発性半導体記憶装置10を線分B-Bで切断した場合における断面を示す図である。

【0052】なお、不揮発性半導体記憶装置10は、複数のメモリセルがビット線に並列に接続される形式をとっているため、NOR型と呼ばれるメモリセルアレイ構造を有している。

【0053】図2に示すように、不揮発性半導体記憶装置10は、さらに、素子分離領域5、素子分離領域5X、およびビット線コンタクト6a、6bを備えている。たとえば、素子分離領域5Xは、隣接した、ソース線SL2とソース線SL3の間に位置する。このため、

隣接したソース線は、電気的に独立している。素子分離領域5および素子分離領域5Xは、LOCOS (LOC al Oxidation of Silicon) や、STI (Shallow Trench Isolation) など形成されるが、他の方法でもよい。

【0054】以下、不揮発性半導体記憶装置10に情報を書き込む方法および消去方法を、図5を用いて説明する。

【0055】図5は、不揮発性半導体記憶装置10におけるメモリセルのしきい値電圧分布図(複数メモリセル)である。なお、図5において、横軸はメモリセルのしきい値電圧 $V_{th}$ を示し、縦軸はメモリセルの個数を示している。

【0056】ここでは、不揮発性半導体記憶装置10は、2種類の異なるしきい値電圧を有するN型MOSトランジスタからなるマスクROMとする。

【0057】消去状態(図5中の“E”状態)とは、N型MOSトランジスタが、デプレッション状態である-1V程度のしきい値電圧(低い方のしきい値電圧)に設定されることを意味し、消去状態はメモリアレイ全体のメモリセルのチャネル部に対するイオン注入法により制御される。

【0058】また、書き込み状態(図5中の“W”状態)とは、選択されたN型MOSトランジスタのチャネル部に対してのみ、さらにイオン注入を追加することにより、電源電圧 $V_{DD}$ よりも高いエンハンスメント状態である4V程度のしきい値電圧(高い方のしきい値電圧)が設定される。

【0059】以下、不揮発性半導体記憶装置10から情報を読み出す方法について、図6を用いて説明する。

【0060】図6は、不揮発性半導体記憶装置10から情報を読み出すためのフローチャートの一例を示す図である。

【0061】ステップS1では、選択されなかったソース線、つまり非選択のソース線に第1の電圧と同一極性の第3の電圧が印加される。なお、第1の電圧とは、後述するステップS3で、選択されたビット線に印加される電圧である。

【0062】ステップS2では、選択すべき任意のメモリセルに対応するソース線が選択される。具体的には、選択されたソース線には、半導体基板の電位とほぼ同一の電圧が印加される。

【0063】ステップS3では、前記任意のメモリセルに対応するビット線が選択される。具体的には、選択されたビット線には、半導体基板に対して逆バイアスとなる極性の第1の電圧が印加される。

【0064】ステップS4では、前記任意のメモリセルに対応するワード線が選択される。具体的には、選択されたワード線には、第1の電圧と同一極性の第2の電圧が印加される。

【0065】上述したステップにより、選択されたメモリセルから情報を読み出す際、非選択のメモリセルが低い方のしきい値電圧を持つ場合、低い方のしきい値電圧を持つ非選択のメモリセルがデプレッション型であっても、バックバイアス効果により、エンハンスメント型にすることができる。このため、選択されたメモリセルに接続されたビット線に、非選択メモリセルから流れるリーク電流を抑えることができる。

【0066】また、選択されたメモリセルが消去状態である場合、つまり、選択されたメモリセルが低い方のしきい値電圧を持つ場合、選択されたメモリセルをデプレッション状態に設定することができる。このため、選択されたメモリセルのゲートに印加される電圧としきい値電圧との電位差が大きくなり、選択されたメモリセルからの読み出し電流量を増やすことができる。

【0067】なお、本実施の形態では、処理はステップS1～ステップS4の順番に実行される必要はない。つまり、ステップS1～ステップS4が任意の順番で実行されても、本実施の形態は上述した効果を有する。

【0068】また、選択されたビット線に印加される第1の電圧と、非選択のソース線に印加される第3の電圧とがほぼ同一であってもよい。

【0069】以下、具体的な、不揮発性半導体記憶装置10のメモリセルM24から情報を読み出す方法を説明する。

【0070】図1および図2の中で、破線で囲んだメモリセルM24が選択される場合、半導体基板電位を接地電位(0V)として、ワード線WL2を3V(第2の電圧)とし、ビット線BL4を1V(第1の電圧)とする。また、他のワード線WL1, WL3, WL4および他のビット線BL1, BL2, BL3を0Vとし、ソース線SL2を0Vとする。さらに、他のソース線SL1, SL3, SL4を1V(第3の電圧)とする。なお、図には示していないが、メモリセルの属するウェルの電位は0Vとする。もし、メモリセルM24が消去状態であれば、しきい値電圧は-1V程度であるので、メモリセルM24がオン状態となり、ビット線BL4にメモリセル読み出し電流が流れる。この場合のメモリセルM24の読み出し電流は、従来の不揮発性半導体記憶装置が有するメモリセルのしきい値電圧が0.5Vである場合のものに比べて、多くなる。

【0071】一方、メモリセルM24が書き込み状態であれば、メモリセルM24のしきい値電圧は4V程度であるので、メモリセルM24がオフ状態となり、ビット線BL4にメモリセル読み出し電流は流れない。上述した電流量がセンスアンプで検知されることにより、読み出し動作が行われる。

【0072】本発明の第1の実施の形態では、バックバイアス効果を利用することにより、選択されたメモリセルM24と同一のビット線BL4に接続される非選択メ

メモリセルM14, M34, M44のしきい値電圧を約0.5V以上に設定することができる。すなわち、非選択メモリセルのソース線SL1, SL3, SL4に電圧1Vを印加することにより、たとえば、非選択メモリセルのしきい値電圧が-1Vであったとしても、バックバイアス効果により、非選択メモリセルのしきい値を約0.5V以上とすることができる。このため、非選択メモリセルから流れる電流を、ほぼゼロに抑えることができる。

【0073】非選択のメモリセルM14, M34, M44が低い方のしきい値電圧を有する場合、読み出し動作時に、非選択のメモリセルM14, M34, M44の低い方のしきい値電圧をバックバイアス効果によりエンハンスメント型にでき、選択されたメモリセルM24が接続されたビット線BL4に接続されている他の非選択メモリセルM14, M34, M44から流れるリーク電流を抑えられる。

【0074】また、選択されたメモリセルが消去状態である場合、消去状態のメモリセルのしきい値電圧（低い方のしきい値電圧）をデプレッション状態に設定することができる。このため、選択されたメモリセルにおけるオン状態の読み出し電流量が増加する。その結果、低電圧においても十分なオン状態のメモリセル読み出し電流を確保することができ、第1の実施の形態における不揮発性半導体記憶装置は、低電圧下での高速読み出しを可能とする。

【0075】以上のように、この実施の形態によれば、非選択メモリセルに接続されるソース線に半導体基板に対して逆バイアスとなる正電圧を印加することにより、消去状態にあるメモリセルのしきい値電圧、つまり低い方のしきい値電圧をデプレッション状態に設定できる。このため、選択されたメモリセルのゲートに印加される電圧が低電圧であっても、十分にオン状態のメモリセルの読み出し電流量を確保できる。その結果、選択されたメモリセルのゲートに印加される電圧が低電圧であったとしても、高速にメモリセルの情報の読み出しを可能とする。

【0076】なお、第1の実施の形態では、読み出し時に選択したビット線に印加する電圧と非選択のソース線に印加する電圧を同一電圧としたが、それらの電圧が異なる電圧であってもよい。ただし、非選択ソース線の電圧が選択したビット線に印加される電圧よりも低い場合には、バックバイアス効果が小さいため、また、逆の場合には、ソース線からの電流が流れるようになるため、本発明の効果が小さくなる。

【0077】（第2の実施の形態）以下、本発明の第2の実施の形態について、図面を参照しながら説明する。

【0078】図7は、本発明の第2の実施の形態における不揮発性半導体記憶装置20のメモリセルアレイ構成の模式図である。図8は、不揮発性半導体記憶装置20

のパターンレイアウトを示す模式的平面図である。すなわち、図8は、図7に示す不揮発性半導体記憶装置20のアレイ構造の一例を示している。また、図9は、図8に示す不揮発性半導体記憶装置20を線分C-Cで切断した場合における断面を示す図であり、図10は、図8に示す不揮発性半導体記憶装置20を線分D-Dで切断した場合における断面を示す図である。なお、図10では、断面をD方向から見た場合、ビット線BL7は実際には見えないが、ビット線BL7がビット線コンタクト6bと接続されることが理解しやすいように、図示している。

【0079】不揮発性半導体記憶装置20は、MOSトランジスタからなるメモリセルM11~M64、ワード線WL1~WL6、ソース線SL1~SL4、およびビット線BL1~BL8を備えている。

【0080】さらに、不揮発性半導体記憶装置20は、素子分離領域5、ビット線コンタクト6a、6bを備えている。素子分離領域5は、LOCOSやSTIなどで形成されるが他の方法でもよい。なお、不揮発性半導体記憶装置20は、複数のメモリセルがビット線に並列に接続される形式をとっているため、NOR型と呼ばれるメモリセルアレイ構造を有している。

【0081】不揮発性半導体記憶装置20では、メモリセルM14のゲートがワード線WL1に接続され、メモリセルM14のソースがソース線SL1に接続され、メモリセルM14のドレインがビット線BL8に接続され、メモリセルM24のゲートがワード線WL2に接続され、メモリセルM24のソースがソース線SL2に接続され、メモリセルM24のドレインがビット線BL8に接続されている。

【0082】また、メモリセルM34のゲートがワード線WL3に接続され、メモリセルM34のソースがソース線SL2に接続され、メモリセルM34のドレインがビット線BL7に接続され、メモリセルM44のゲートがワード線WL4に接続され、メモリセルM44のソースがソース線SL3に接続され、メモリセルM44のドレインがビット線BL7に接続されている。

【0083】さらに、メモリセルM54のゲートがワード線WL5に接続され、メモリセルM54のソースがソース線SL3に接続され、メモリセルM54のドレインがビット線BL8に接続され、メモリセルM64のゲートがワード線WL6に接続され、メモリセルM64のソースがソース線SL4に接続され、メモリセルM64のドレインがビット線BL8に接続されている。

【0084】つまり、メモリセルM14~M64が属する列には、ビット線BL7, BL8が対応する。言い換えると、第1の組のメモリセルが第1のビット線に接続され、列方向つまり、第1のビット線が延びる方向で、第1の組のメモリセルに隣接する第2の組のメモリセルが第2のビット線に接続される。本実施の形態では、あ



る組に含まれるメモリセルは2つであり、そのある組に含まれる2つのメモリセルは、1つのビット線コンタクトを共有している。

【0085】たとえば、メモリセルM14とメモリセルM24が第1の組となり、それらのメモリセルM14、M24はビット線コンタクト6aを共有し、第1の組のメモリセルM14、M24はビット線コンタクト6aを介して第1のビット線BL8に接続されている。また、メモリセルM34とメモリセルM44が第2の組となり、第2の組は列方向で第1の組と隣接している。それらのメモリセルM34、M44はビット線コンタクト6bを共有し、第2の組のメモリセルM34、M44はビット線コンタクト6bを介して第2のビット線BL7に接続されている。

【0086】不揮発性半導体記憶装置20に情報を書き込む方法および消去方法は、不揮発性半導体記憶装置10と同じである。

【0087】以下、不揮発性半導体記憶装置20から情報を読み出す方法について、図11を用いて説明する。

【0088】図11は、不揮発性半導体記憶装置20から情報を読み出すためのフローチャートの一例を示す図である。

【0089】ステップS11では、選択されなかったソース線、つまり非選択のソース線に第1の電圧と同一極性の第3の電圧が印加される。なお、第1の電圧とは、後述するステップS13で、選択されたビット線に印加される電圧である。

【0090】ステップS12では、選択すべき任意のメモリセルに対応するソース線が選択される。具体的には、選択されたソース線には、半導体基板の電位とほぼ同一の電圧が印加される。

【0091】ステップS13では、前記任意のメモリセルに対応するビット線が選択される。具体的には、選択されたビット線には、半導体基板に対して逆バイアスとなる極性の第1の電圧が印加される。

【0092】ステップS14では、前記任意のメモリセルに対応するワード線が選択される。具体的には、選択されたワード線には、第1の電圧と同一極性の第2の電圧が印加される。

【0093】上述したステップにより、選択されたメモリセルから情報を読み出す際、非選択のメモリセルが低い方のしきい値電圧を持つ場合、低い方のしきい値電圧を持つ非選択のメモリセルをエンハンスメント型にできる。このため、選択されたメモリセルに接続されたビット線に、非選択メモリセルから流れるリーク電流を抑えることができる。

【0094】また、選択されたメモリセルが消去状態である場合、つまり、選択されたメモリセルが低い方のしきい値電圧を持つ場合、選択されたメモリセルをデプレッション状態に設定することができる。このため、選択

されたメモリセルのゲートに印加される電圧としきい値電圧との電位差が大きくなり、選択されたメモリセルからの読み出し電流量を増やすことができる。

【0095】なお、本実施の形態では、処理はステップS11～ステップS14の順番に実行される必要はない。つまり、ステップS11～ステップS14が任意の順番で実行されても、本実施の形態は上述した効果を出す。

【0096】また、選択されたビット線に印加される第1の電圧と、非選択のソース線に印加される第3の電圧とがほぼ同一であってもよい。

【0097】以下、具体的な、不揮発性半導体記憶装置20のメモリセルM24から情報を読み出す方法を説明する。

【0098】図7および図8の中で、破線で囲んだメモリセルM24が選択される場合、半導体基板電位を接地電位(0V)として、ワード線WL2を3V(第2の電圧)とし、ビット線BL8を1V(第1の電圧)とする。また、他のワード線WL1、WL3～WL6および他のビット線BL1～BL7を0VあるいはOPEN状態とし、ソース線SL2を0Vとする。さらに、他のソース線SL1、SL3、SL4を1V(第3の電圧)とする。なお、図には示していないが、メモリセルの属するウェルの電位は0Vとする。もし、メモリセルM24が消去状態であれば、しきい値電圧は-1V程度であるので、メモリセルM24がオン状態となり、ビット線BL8にメモリセル読み出し電流が流れる。この場合のメモリセルM24の読み出し電流は、従来の不揮発性半導体記憶装置が有するメモリセルのしきい値電圧が0.5Vである場合のものに比べて、多くなる。

【0099】一方、メモリセルM24が書き込み状態であれば、メモリセルM24のしきい値電圧は4V程度であるので、メモリセルM24がオフ状態となり、ビット線BL8にメモリセル読み出し電流は流れない。上述した電流量がセンスアンプで検知されることにより、読み出し動作が行われる。

【0100】本発明の第2の実施の形態では、バックバイアス効果を利用することにより、選択されたメモリセルM24と同一のビット線BL8に接続される非選択メモリセルM14、M54、M64のしきい値電圧を約0.5V以上に設定することができる。

【0101】すなわち、非選択メモリセルのソース線SL1、SL3、SL4に電圧1Vを印加することにより、たとえば、非選択メモリセルのしきい値電圧が-1Vであったとしても、バックバイアス効果により、非選択メモリセルのしきい値を約0.5V以上とすることができる。このため、非選択メモリセルから流れる電流を、ほぼゼロに抑えることができる。

【0102】また、選択されたメモリセルが消去状態である場合、消去状態のメモリセルのしきい値電圧(低い

方のしきい値電圧)をデプレッション状態に設定することができる。このため、選択されたメモリセルにおけるオン状態の読み出し電流量が増加する。その結果、低電圧においても十分なオン状態のメモリセル読み出し電流を確保することができ、第2の実施の形態における不揮発性半導体記憶装置は、低電圧下での高速読み出しを可能とする。

【0103】なお、第2の実施の形態では、読み出し時に選択したビット線に印加する電圧と非選択のソース線に印加する電圧を同一電圧としたが、それらの電圧が異なる電圧であってもよい。

(第3の実施の形態)以下、本発明の第3の実施の形態について、図面を参照しながら説明する。

【0104】図12は、本発明の第3の実施の形態における不揮発性半導体記憶装置30のメモリセルアレイ構成の模式図である。図13は、不揮発性半導体記憶装置30のパターンレイアウトを示す模式的平面図である。すなわち、図13は、図12に示す不揮発性半導体記憶装置30のアレイ構造の一例を示している。また、図14は、図13に示す不揮発性半導体記憶装置30を線分E-Eで切断した場合における断面を示す図である。

【0105】不揮発性半導体記憶装置30は、MOSトランジスタからなるメモリセルM11~M44、ワード線WL1~WL4、ソース線SL1~SL4、およびビット線BL1~BL4を備えている。

【0106】さらに、不揮発性半導体記憶装置30は、素子分離領域5A、5B、ビット線コンタクト6a、6b、およびウェル線WEL1~WEL4を備えている。素子分離領域5A、5Bは、LOCOSやSTIなどで形成されるが他の方法でもよい。

【0107】不揮発性半導体記憶装置30は、図12に示すように、メモリセルM11~M14が属する行のメモリセルにウェル線WEL1が接続され、メモリセルM21~M24が属する行のメモリセルにウェル線WEL2が接続され、メモリセルM31~M34が属する行のメモリセルにウェル線WEL3が接続され、メモリセルM41~M44が属する行のメモリセルにウェル線WEL4が接続される。つまり、ある行のメモリセルは、そのある行に対応するウェル線に接続される。ウェル線は、行毎に独立している。

【0108】また、不揮発性半導体記憶装置30は、図12に示すように、メモリセルM11~M14が属する行のメモリセルのソースにソース線SL1が接続され、メモリセルM21~M24が属する行のメモリセルのソースにソース線SL2が接続され、メモリセルM31~M34が属する行のメモリセルのソースにソース線SL3が接続され、メモリセルM41~M44が属する行のメモリセルのソースにソース線SL4が接続される。つまり、不揮発性半導体記憶装置30では、ある行のメモリセルは、他の行のメモリセルとソース線を共有してい

ない。

【0109】なお、同一ワード線および同一ソース線に接続された複数のメモリセルは、1つのウェル線を共有する。

【0110】以下、本発明の不揮発性半導体記憶装置30の読み出し方法について、図12を用いて説明する。

【0111】図13中に破線で囲んだメモリセルM14を選択する場合は、半導体基板電位を接地電位(0V)として、ワード線WL1を3V(第2の電圧)とし、ビット線BL4を1V(第1の電圧)とする。ウェル線WEL1を0Vとし、他のワード線WL2、WL3、WL4を0Vとし、ソース線SL1~SL4を0Vとし、ビット線BL1~BL3を0Vとし、他のウェル線WEL2~WEL4を-3V(第3の電圧)とする。なお、少なくともウェル線WEL1~WEL4は、デコーダによって制御される。

【0112】上述した第1および第2の実施の形態では、ソース線を利用したバックバイアス効果によって、非選択メモリセルのしきい値電圧を上げることができた。仮に、非選択メモリセルが低い方のしきい値電圧たとえば-1Vを有していたとしても、バックバイアス効果により、その低い方のしきい値電圧を約0.5V以上とすることができる。一方、第3の実施の形態では、ウェル線を利用して同様な効果を得ることができる。

【0113】上述したように、第3の実施の形態によれば、非選択メモリセルのウェル線に負電圧、つまり半導体基板に対して順バイアスとなる電圧を印加することにより、非選択メモリセルのしきい値電圧を上げることができる。つまり、非選択メモリセルが消去状態である場合、そのメモリセルのしきい値電圧をデプレッション状態に設定することができる。

【0114】その結果、不揮発性半導体記憶装置30におけるメモリセルのゲートに印加される電圧が低電圧であっても、メモリセルから情報を読み出すための読み出し電流量を十分に確保することができる。

【0115】なお、第1~第3の実施の形態では、マスクROMを用いて説明したが、2種の異なるしきい値電圧を用いて記憶する不揮発性半導体記憶装置である、浮遊ゲート電極型不揮発性半導体記憶装置に適用することもできる。この場合、回路的には、図1、図7、および図12に示すメモリセルが浮遊ゲート電極型のメモリセルに置き換えられるだけである。

【0116】また、第1~第3の実施の形態では、消去状態のしきい値電圧をデプレッション状態としたが、特に、デプレッション状態にする必要もない。従来の不揮発性半導体記憶装置では、非選択メモリセルのリーク電流を抑えるために消去状態のしきい値電圧を0.5V程度に設定する必要があった。しかしながら、本実施の形態では、非選択のメモリセルのリーク電流を低減できるため、消去状態のしきい値電圧を0.5Vよりも低く設

定することもできる。

【0117】用途によるが、たとえば、メモリセルの消去状態のしきい値電圧をデプレッション状態にまでしなくとも、例えば、0V程度に設定したい場合もあり得る。本発明は、このような場合にも適用される。

【0118】また、第1～第3の実施の形態では、消去状態をしきい値電圧の低い方としたが、逆に書き込み状態をしきい値電圧の低い方に設定してもよい。

【0119】また、第1～第3の実施の形態では、書き込み状態のしきい値電圧を電源電圧以上としたが、消去状態との差があればよいので、書き込み状態のしきい値電圧が電源電圧以下でもよい。

【0120】また、第1～第3の実施の形態では、N型MOSトランジスタを用いて説明したが、P型MOSトランジスタを用いてもよい。

【0121】なお、第1の実施の形態と第2の実施の形態とを組み合わせ、本発明を実施してもよい。

【0122】本発明によれば、低しきい値電圧の状態をデプレッション状態にできるため、書き込み状態と消去状態のしきい値電圧の差を広げることが可能であり、浮遊ゲート電極型不揮発性半導体記憶装置に特有の、書き込み後もしくは消去後しきい値電圧のばらつきの問題や、多値しきい値電圧化への対応も容易となる。

【0123】また、本発明は、メモリセルに流れる電流の変化により記憶動作、すなわち読み出し動作を実施するメモリ全般に適用することができる。なお、マスクROMではビット線コンタクトの有無により情報を記憶する方式もあるが、その場合は、書き込み状態を無限に高いしきい値電圧と置き換えれば、本発明を適用することができる。

【0124】

【発明の効果】本発明によれば、同一ビット線上にあるメモリセルのソース線またはウェル線に加える電圧を独立して制御可能な構成を採用し、同一ビット線上にある非選択メモリセルのしきい値電圧をソース線またはウェル線に加える電圧を制御し、バックバイアス効果によりしきい値電圧を引き上げるようにしているので、低い方のしきい値電圧をデプレッション状態に設定でき、低電圧においてもメモリセル読み出し電流量が確保できるために、低電圧高速読み出し動作が可能な不揮発性半導体記憶装置を実現できる。

【0125】また、メモリセルの低い方のしきい値電圧状態の少なくとも一部をデプレッション状態とすると、その状態における読み出し電流を多くすることができ、低電圧下での読み出し速度をさらに高めることができる。

【0126】また、ビット線に印加する第1の電圧と非選択のソース線に印加する第3の電圧とをほぼ同一電圧に設定すると、バックバイアス効果が大きく、かつソー

ス線から電流が流れないので、最も高速読み出し性能を高くできる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における不揮発性半導体記憶装置10のメモリセルアレイ構成の模式図である。

【図2】不揮発性半導体記憶装置10のパターンレイアウトを示す模式的平面図である。

【図3】図2に示す不揮発性半導体記憶装置10を線分A-Aで切断した場合における断面を示す図である。

【図4】図2に示す不揮発性半導体記憶装置10を線分B-Bで切断した場合における断面を示す図である。

【図5】不揮発性半導体記憶装置10におけるメモリセルのしきい値電圧分布図（複数メモリセル）である。

【図6】不揮発性半導体記憶装置10から情報を読み出すためのフローチャートの一例を示す図である。

【図7】本発明の第2の実施の形態における不揮発性半導体記憶装置20のメモリセルアレイ構成の模式図である。

【図8】不揮発性半導体記憶装置20のパターンレイアウトを示す模式的平面図である。

【図9】図8に示す不揮発性半導体記憶装置20を線分C-Cで切断した場合における断面を示す図である。

【図10】図8に示す不揮発性半導体記憶装置20を線分D-Dで切断した場合における断面を示す図である。

【図11】不揮発性半導体記憶装置20から情報を読み出すためのフローチャートの一例を示す図である。

【図12】本発明の第3の実施の形態における不揮発性半導体記憶装置30のメモリセルアレイ構成の模式図である。

【図13】不揮発性半導体記憶装置30のパターンレイアウトを示す模式的平面図である。

【図14】図13に示す不揮発性半導体記憶装置30を線分E-Eで切断した場合における断面を示す図である。

【図15】従来の不揮発性半導体記憶装置500のメモリセルアレイ構成を示す模式図である。

【図16】図15に示す不揮発性半導体記憶装置500のパターンレイアウトを示す模式的平面図である。

【図17】不揮発性半導体記憶装置500におけるメモリセルのしきい値電圧分布図（複数メモリセル）である。

【符号の説明】

M14～M44 メモリセル

WL1～WL4 ワード線

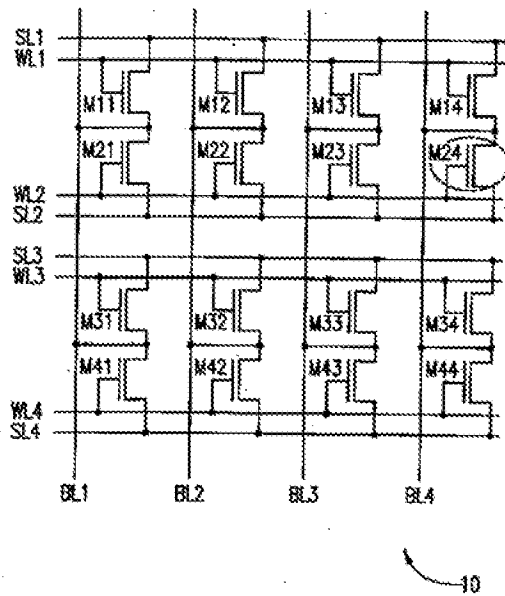
SL1～SL4 ソース線

BL1～BL4 ビット線

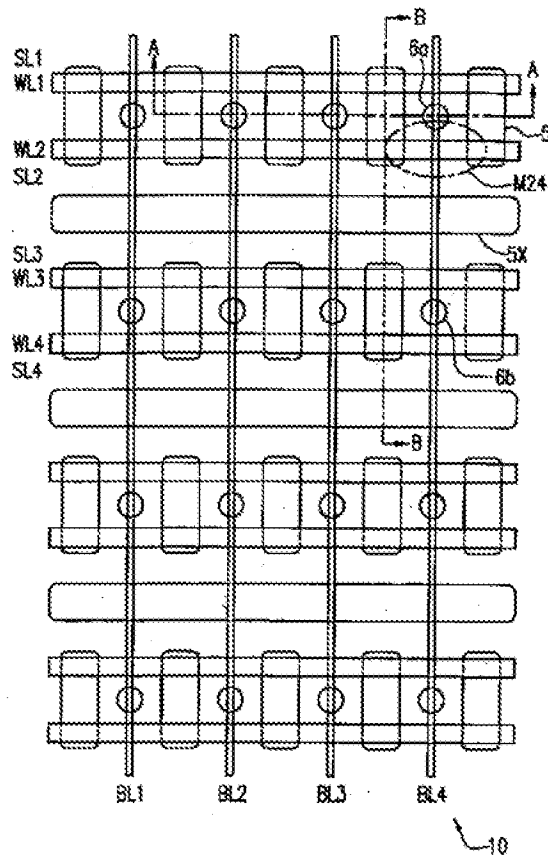
5、5X 素子分離領域

6a、6b ビット線コンタクト

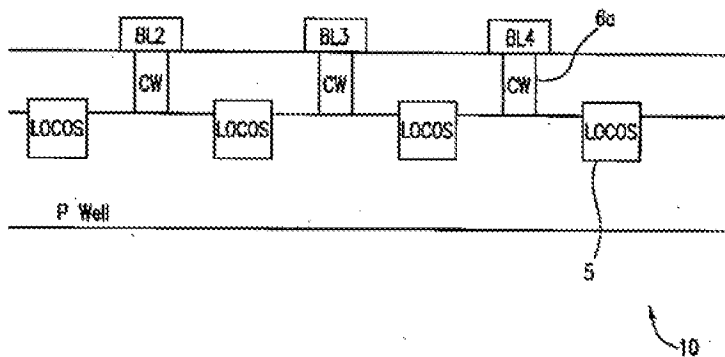
【図1】



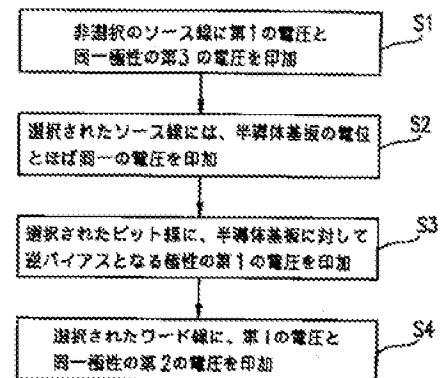
【図2】



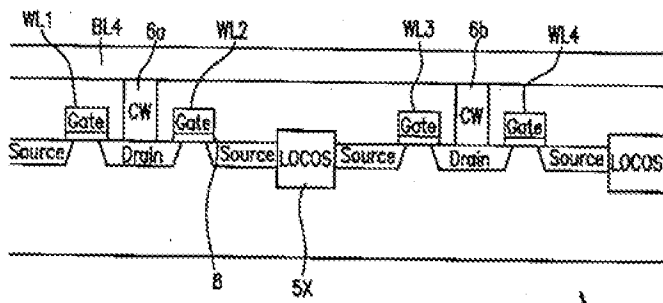
【図3】



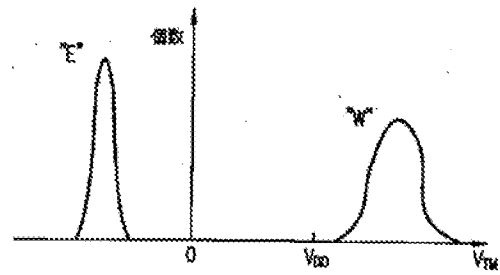
【図6】



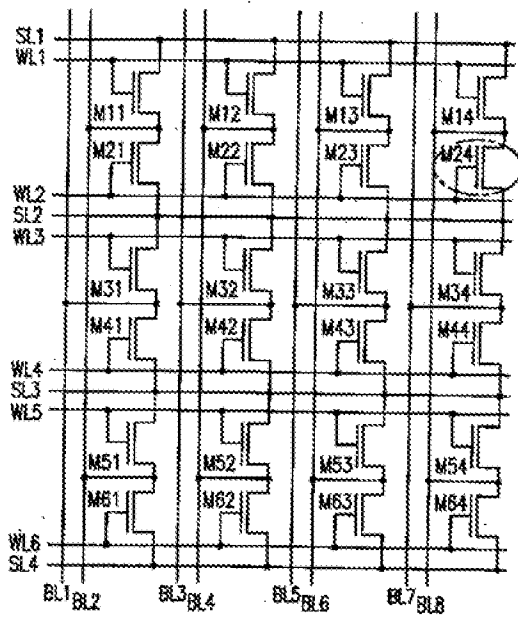
【図4】



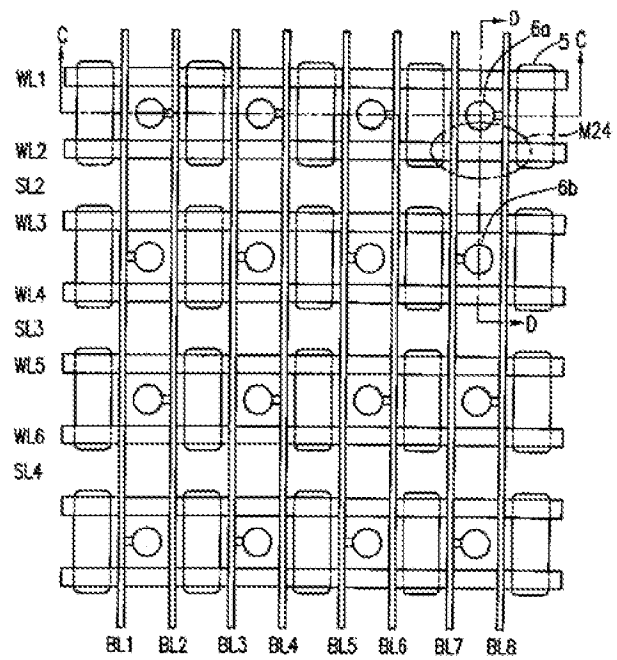
【図5】



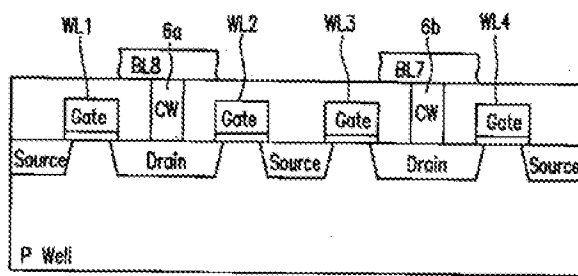
【図7】



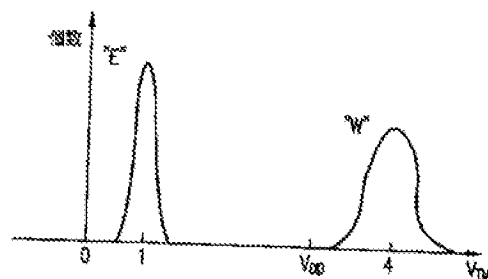
【図8】



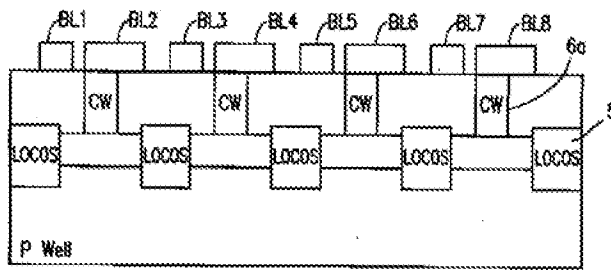
【図10】



【図17】

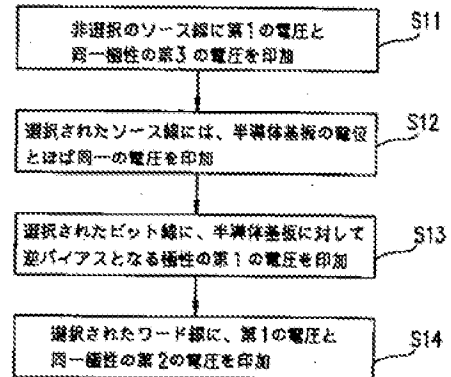


【図9】

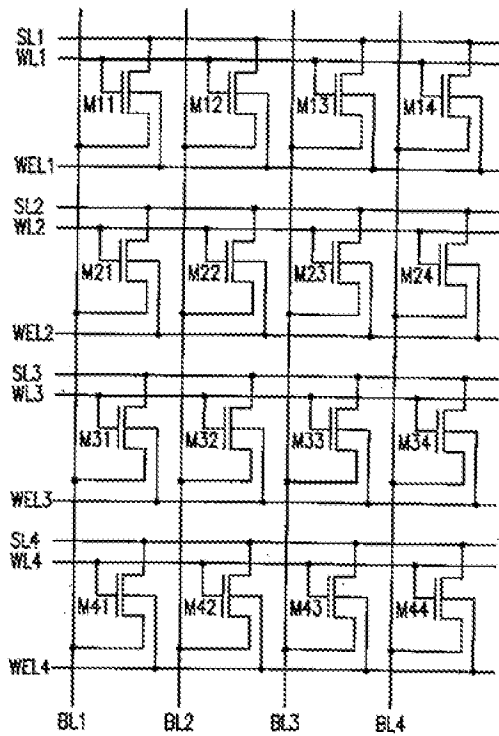


20

【図11】

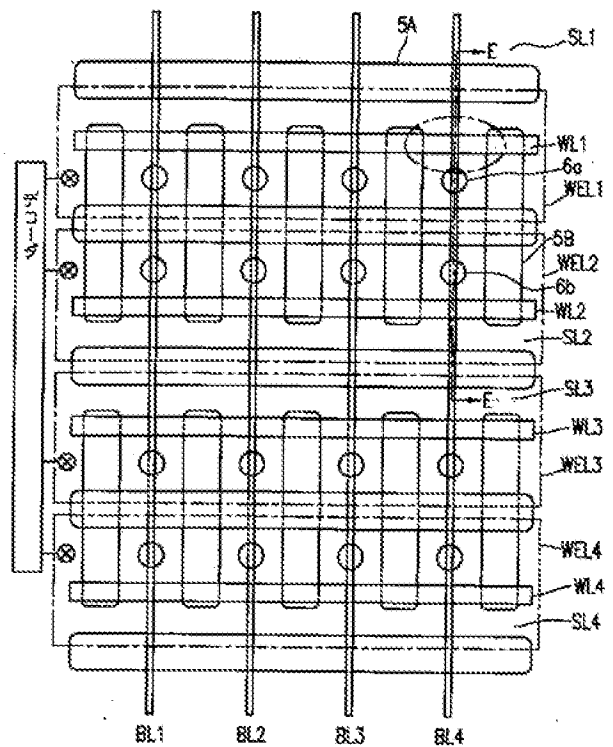


【図12】



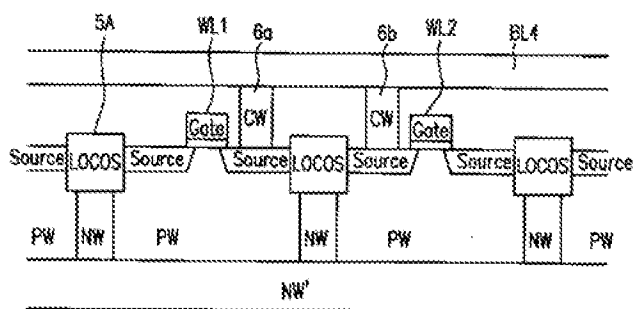
30

【図13】

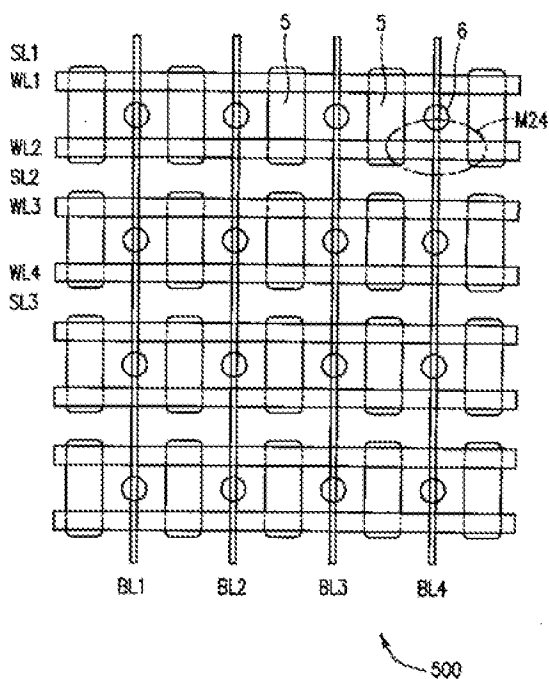


30

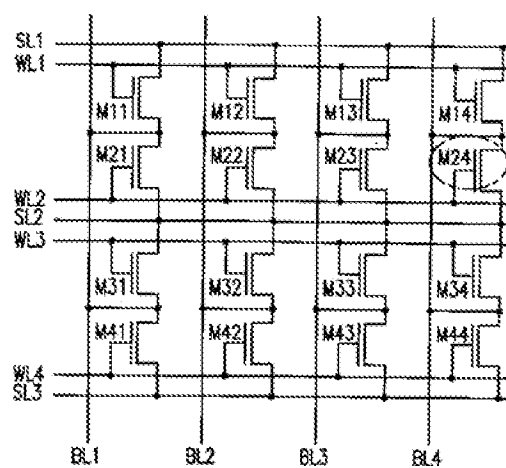
【図14】



【図16】



【図15】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H 0 1 L 29/792

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-21783

(P2000-21783A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 4 0
21/20		21/20	5 F 0 4 5
21/8234		27/08	1 0 2 B 5 F 0 4 8
27/058		29/78	3 0 1 B 5 F 0 5 2
29/78		29/80	H 5 F 1 0 2
審査請求 未請求 請求項の数 3 O L (全 9 頁) 最終頁に続く			

(21) 出願番号 特願平10-185132

(22) 出願日 平成10年6月30日 (1998.6.30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 手塚 勉

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

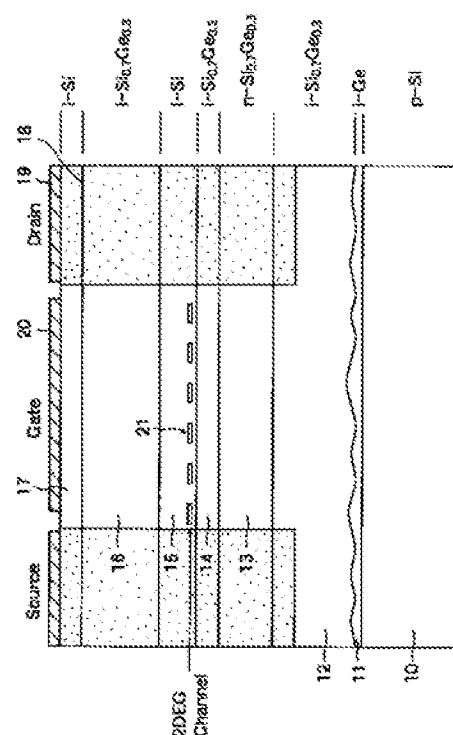
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 引っ張り歪み又は圧縮歪みが加えられた歪み半導体層を有する半導体装置において、バッファ層の厚さを薄くする。

【解決手段】 p型Si基板10上に、表面に凹凸を有するノンドープのGe転移転換層11が6ML (約1nm)、緩和したノンドープSi<sub>0.7</sub>Ge<sub>0.3</sub>バッファ層(50nm)12、n型Si<sub>0.7</sub>Ge<sub>0.3</sub>キャリア供給層13、ノンドープSi<sub>0.7</sub>Ge<sub>0.3</sub>スペーサ層14、ノンドープ歪Siチャネル層(10nm)15、ノンドープSi<sub>0.7</sub>Ge<sub>0.3</sub>キャップ層(20nm)16及びノンドープ歪Siキャップ層17(2nm)が順次積層されている。





#### 【特許請求の範囲】

【請求項1】 引っ張り歪み又は圧縮歪みが加えられた歪み半導体層を有する半導体装置であって、第1の半導体層と、この第1の半導体層上に形成され、表面に凹凸を有し、且つ第1の半導体層と格子定数が異なる第2の半導体層と、この第2の半導体層上に形成されたバッファ層と、このバッファ層上に形成され、該バッファ層と格子定数が異なる前記歪み半導体層とを具備してなることを特徴とする半導体装置。

【請求項2】 シリコン基板上に引っ張り歪み又は圧縮歪みが加えられた歪み $Si_{1-x}Ge_x$ 層を有する半導体装置であって、前記シリコン基板上に形成され、表面に凹凸を有する $Si_{1-x}Ge_x$  ( $1 \geq x > 0$ ) 層と、この $Si_{1-x}Ge_x$  層上に形成された $Si_{1-y}Ge_y$  ( $x \neq y$ ) バッファ層と、この $Si_{1-y}Ge_y$  層上に形成された前記歪み $Si_{1-z}Ge_z$  ( $z \neq y$ ) 層とを具備してなることを特徴とする半導体装置。

【請求項3】 引っ張り歪み又は圧縮歪みが加えられた歪み半導体層を有する半導体装置の製造方法であって、第1の半導体層上に、第1の半導体層と格子定数が異なり、表面に凹凸を有する第2の半導体層を形成する工程と、第2の半導体層上にアモルファス状態のバッファ層を形成する工程と、アニールしてアモルファス状態の前記バッファ層を結晶化させる工程と、前記バッファ層上に、該バッファ層と格子定数が異なる前記歪み半導体層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、高速化、低消費電力化を図った半導体装置及びその製造方法に係わり、特に内部又は表面に引っ張り歪み又は圧縮歪みが加えられた半導体層を有する半導体装置及びその製造方法に関する。

##### 【0002】

【従来の技術】 電子機器、情報端末の小型化が進行していく現在、電子素子は動作速度を低下させることなく消費電力を低減することが強く求められている。又、携帯情報機器に限らず、電子機器の低消費電力化は環境保全、エネルギー資源の保全の観点からも重要な課題である。

【0003】 従来の電子回路はバルクのSiを基板として用いており、素子寸法の微細化によって上記課題に立ち向かっている。しかし、素子の微細化には物理的、経済的な壁が見えつつあり、今後は微細化以外の手法による高速、低消費電力化の技術確立が必要がある。

【0004】 従来ULSI等の電子素子に用いられているn型にドーピングされた無歪みSiのフェルミ面付近の電子状態は、6重に縮退している。そのため、図6に示す

ように、ある谷（波数空間に於いて、フェルミエネルギー $E_F$ にある電子の等エネルギー面の領域：図の回転楕円体状の領域）に存在する電子は、フォノンによって他の5つの谷へと散乱される。このような谷間散乱は電子の移動度を低下させる要因となる。

【0005】 一方、Siの薄膜に対して（001）基板に平行な面内に引っ張り歪みを加えると、 $E_F$ 近傍のエネルギーを有する電子状態は、2重に縮退した基底状態と4重に縮退した励起状態に分離する。電子の分布が、フェルミ分布から極端にはずれない状態（高電界が印化されていない場合など）では、ほとんどの電子は2重縮退した基底状態にとどまる。その結果、電子の谷間散乱は、もう一方の谷との間の散乱に制限される。その結果、面内方向での移動度が上昇する。従って、例えば引っ張り歪みが加えられたSi層をn-MOSFETのチャネルに用いると、従来素子よりも高速動作が可能となることが期待される。

【0006】 一方、この歪みSi層やSi基板上に形成された圧縮歪みSiGe層を正孔チャネルとして用いた場合、正孔質量の減少や価電子帯の縮退が解ける効果により、やはり正孔の移動度が向上することが指摘されている。その結果、p-MOSFETやn-MODFETなどの動作速度の向上が期待出来る。いずれの場合にも重要なことは、従来のSi素子と同程度かそれ以下の動作電圧においてもSi以上の高速動作が期待できることである。これは、高速動作と低消費電力化を両立できる可能性を示している。

【0007】 引っ張り歪みSiは、Siよりも格子定数の大きな結晶上にSiをエピタキシャル成長することによって得られる。通常、Si基板上に格子緩和したSiGeバッファ層を成長し、その上にSi薄膜を成長させる。

【0008】 ところが、格子緩和した低転位密度のSiGe表面を得るためには、数 $\mu m$ に及ぶ厚いバッファ層が必要であった。バッファ層が薄い場合、SiGe層の表面に圧縮歪みが残留し、得られる歪み量が十分でない、あるいは格子緩和は十分でも転位密度が高い等の問題が生じるからである。しかし、厚いバッファ層の形成には、数十分～数時間と非常に長い時間がかかるためスループットが減少するという問題が発生する。

【0009】 また、歪みSi素子領域と通常のSi-MOS領域を同一基板上に形成しようとする場合、厚いSiGeバッファ層による数 $\mu m$ の大きな段差が生じてしまい、リソグラフィや電極形成などのプロセスに困難をきたすという問題があった。

【0010】 また、近年、寄生容量を低減して高速化を図る手法として、SOI基板上への素子作成技術が用いられているが、厚いSiGeバッファ層はこの技術との整合性も悪い。すなわち、厚いSiGeバッファ層の存在によって結局pn接合面積が増大して寄生容量が増大

し、SOI基板を用いる意味が失われる。

【0011】また、SiGeバッファ層表面での転位密度は $10^4 \sim 10^7 \text{ cm}^{-2}$ という大きな値を示す。この値は、現実的な素子、特に集積化素子を作製するにはまだ不十分である。

【0012】特に集積化素子作製においては、歩留まり、特性の均一性の点から更に要求は厳しくなり、 $1 \times 10^3 \text{ cm}^{-2}$ 以下に転位密度を抑制することが必要となる。しかし、従来の技術では、SiGeバッファ層表面での転位密度は $10^4 \sim 10^7 \text{ cm}^{-2}$ という非常に大きい値を示しており、集積化素子の実現は困難である。

【0013】

【発明が解決しようとする課題】上述したように、厚いSiGeバッファ層を形成すると、スループットが低くなるために、製造コストが増大するという問題があった。また、厚いバッファ層であると、大きな段差が生じるため、リソグラフィや電極形成などのプロセスが困難であるという問題があった。

【0014】また、バッファ層の転移密度を $1 \times 10^3 \text{ cm}^{-2}$ 以下に抑制する必要があるが、従来技術で得られるSiGeバッファ層表面での転位密度は $10^4 \sim 10^7 \text{ cm}^{-2}$ という非常に大きい値を示しており、集積化素子の実現は困難であるという問題があった。

【0015】本発明の目的は、引っ張り歪み又は圧縮歪みに加えられた歪み半導体層を有し、低転移密度、且つ十分薄いバッファ層を有し、高速化及び低消費電力化を図り得る半導体装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】〔構成〕本発明は、上記目的を達成するために以下のように構成されている。

(1) 本発明(請求項1)の半導体装置は、引っ張り歪み又は圧縮歪みに加えられた歪み半導体層を有する半導体装置であって、第1の半導体層と、この第1の半導体層上に形成され、表面に凹凸を有し、且つ第1の半導体層と格子定数が異なる第2の半導体層と、この第2の半導体層上に形成されたバッファ層と、このバッファ層上に形成され、該バッファ層と格子定数が異なる前記歪み半導体層とを具備してなることを特徴とする。

【0017】歪み半導体層は、電子又は正孔の走行チャネルとして用いられる。

(2) 本発明(請求項2)の半導体装置は、シリコン基板上に引っ張り歪み又は圧縮歪みに加えられた歪み $\text{Si}_{1-x}\text{Ge}_x$ 層を有する半導体装置であって、前記シリコン基板上に形成され、表面に凹凸を有する $\text{Si}_{1-x}\text{Ge}_x$  ( $1 \geq x > 0$ )層と、この $\text{Si}_{1-x}\text{Ge}_x$ 層上に形成された $\text{Si}_{1-y}\text{Ge}_y$  ( $x \neq y$ )バッファ層と、この $\text{Si}_{1-y}\text{Ge}_y$ 層上に形成された前記歪み $\text{Si}_{1-x}\text{Ge}_x$  ( $z \neq y$ )層とを具備してなることを特徴とする。

【0018】 $x > y > z$ 、又は $x > y$ 且つ $z > y$ であることが好ましい。 $\text{Si}_{1-x}\text{Ge}_x$  ( $1 \geq x > 0$ )層の平均膜厚は $1 \sim 5 \text{ nm}$ であることが好ましい。

【0019】 $\text{Si}_{1-z}\text{Ge}_z$ 層は、電子又は正孔の走行チャネルとして用いられる。

(3) 本発明(請求項3)の半導体装置の製造方法は、引っ張り歪み又は圧縮歪みに加えられた歪み半導体層を有する半導体装置の製造方法であって、第1の半導体層上に、第1の半導体層と格子定数が異なり、表面に凹凸を有する第2の半導体層を形成する工程と、第2の半導体層上にアモルファス状態のバッファ層を形成する工程と、アニールしてアモルファス状態の前記バッファ層を結晶化させる工程と、前記バッファ層上に、該バッファ層と格子定数が異なる前記歪み半導体層を形成する工程とを含むことを特徴とする。

【0020】表面に凹凸を有する第2の半導体層は、島状成長によって形成される。第1の半導体層はシリコン基板であり、第2～4の半導体層はそれぞれ $\text{Si}_{1-x}\text{Ge}_x$  ( $1 \geq x > 0$ )層、 $\text{Si}_{1-y}\text{Ge}_y$  ( $x \neq y$ )層、 $\text{Si}_{1-z}\text{Ge}_z$  ( $z \neq y$ )層である。

【0021】シリコン基板と、このシリコン基板上に形成され、表面に凹凸を有する $\text{Si}_{1-x}\text{Ge}_x$  ( $1 \geq x > 0$ )層と、 $\text{Si}_{1-x}\text{Ge}_x$ 層上に形成された $\text{Si}_{1-y}\text{Ge}_y$  ( $x \neq y$ )層と、この $\text{Si}_{1-y}\text{Ge}_y$  ( $x \neq y$ )層の所定領域上に形成された $\text{Si}_{1-z1}\text{Ge}_{z1}$  ( $z1 \neq y$ )層と、前記 $\text{Si}_{1-y}\text{Ge}_y$  ( $x \neq y$ )層上の $\text{Si}_{1-z1}\text{Ge}_{z1}$  ( $z1 \neq y$ )層が形成されていない領域に形成された $\text{Si}_{1-z2}\text{Ge}_{z2}$ とを具備してなる。なお、前記 $\text{Si}_{1-z1}\text{Ge}_{z1}$ と $\text{Si}_{1-z2}\text{Ge}_{z2}$ とは、逆極性の伝導チャネルとして働く。

【0022】〔作用〕本発明は、上記構成によって以下の作用・効果を有する。第1の半導体層上に表面に凹凸を有する第2の半導体層を形成すると、凸部と凸部との境界領域に歪みが蓄積され、結晶欠陥が入りやすい状況となる。この上にアモルファス状態のバッファ層を堆積してアニールすると、第2の半導体層に接している領域から結晶化が始まる。バッファ層は、第2の半導体層よりも格子定数が大きいため、結晶化が進むにつれて歪みエネルギーが蓄積していく。歪みエネルギーがある臨界値を超えると、前記境界領域近傍において、結晶層とアモルファス層との界面から第2の半導体層に向けて転移が生じる。

【0023】更に結晶化が進むと、この転移をきっかけとして、凸部と凸部の境界領域を縫うようにして転移が基板に平行方向に生じる。その結果、結晶層の表面に達する貫通転移の密度を低く抑えた上で、島状構造領域に基板に平行に高密度に転移を発生させることが出来る。バッファ層と第1の半導体層との格子定数の差は転移に吸収されるため、低転位密度で十分緩和したバッファ層が得られる。

【0024】また、凹凸を有する第2の半導体層上に直接エピタキシャル成長を行ってバッファ層を形成すると、バッファ層の表面に凹凸が形成されてしまい、表面を平坦化する工程が必要となる。しかし、本発明の様に、下地の凹凸が反映されないアモルファス状態のバッファ層を形成した後、バッファ層を結晶化させることによって、表面が平坦なバッファ層が容易に得られる。

【0025】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【第1実施形態】図1は、本発明の第1実施形態に係わる半導体素子の要部構成を示す断面図である。本実施形態は、至Siチャネルを用いたn型変調ドープ電界効果トランジスタ(nMODFET)である。

【0026】p型Si基板(第1の半導体層)10上に、表面に凹凸を有するノンドープのGe転移転換層(第2の半導体層、 $Si_{1-x}Ge_x$  ( $1 \geq x > 0$ )層)11が6ML(平均厚さ約1nm)、緩和したノンドープ $Si_{0.7}Ge_{0.3}$ バッファ層(第3の半導体層、 $Si_{1-y}Ge_y$  ( $x \neq y$ )層)(50nm)12、n型 $Si_{0.7}Ge_{0.3}$ キャリア供給層( $n=4.0 \times 10^{18} \text{ cm}^{-3}$ , 10nm)13、ノンドープ $Si_{0.7}Ge_{0.3}$ スペーサ層(2.5nm)14、ノンドープ至Siチャネル層(至み半導体層、 $Si_{1-z}Ge_z$  ( $z \neq y$ )層)(10nm)15、ノンドープ $Si_{0.7}Ge_{0.3}$ キャップ層(20nm)16及びノンドープ至Siキャップ層17(2nm)が順次積層されている。

【0027】Siキャップ層17、 $\sim Si_{0.7}Ge_{0.3}$ バッファ層12の積層構造にイオン打ち込みとアニールによって形成されたn型拡散領域18とn型拡散領域18上に形成されたAl電極19とからなるソース、ドレインが形成されている。Siキャップ層17上のAl電極19に挟まれた領域には、Pt(20nm)/Ti(20nm)/Al(200nm)によって構成されたショットキーゲート電極20が形成されている。

【0028】本実施形態において、Si基板10とバッファ層12とのあいだの格子不整合による歪は、転移転換層11に基板10に平行方向に生じた転移によって吸収され、実質的に完全に緩和している。そのため、至Siチャネル15には十分な引っ張り歪み加わり、スペーサ層14とチャネル15との界面付近に2次元電子ガスチャネル21が形成される。

【0029】次に、図2の工程断面図を用いて図1の半導体素子の製造方法を説明する。先ず、図2(a)に示すように、Si基板10上にCVD法によりGeを6ML供給し、平均厚さ1nmのGe転移転換層11を形成する。なお、基板温度は500℃である。Ge転移転換層11は、基板との格子不整合により島状に成長するので、底辺20nm×20~100nm高さ2nm程度の島状構造が互いに隣接し、密接した構造が形成される。

従って、Ge転移転換層11の表面には、図3の膜厚分布に示すように、凹凸が形成されている。なお、図3の膜厚分布はAFMによって得られた結果である。

【0030】Ge転移転換層11の島状構造の状態を図4に示す。図4に示すように、Ge転移転換層11の島の頂上付近は、横方向の変形によりある程度歪を緩和することが出来るが、底部、特にとなりの島との境界領域30にストレスが集中する。

【0031】次いで、原料ガスであるジシランの分圧を1Paまで増加し、アモルファスのノンドープ $Si_{0.7}Ge_{0.3}$ 層31を50nm成長する。そして、基板温度を600℃に昇温し、水素雰囲気中で10分間アニールする。アニールを開始すると、図2(b)に示すように、Ge層11に接している部分のアモルファス層31から結晶化を開始し、結晶層32が形成されていく。結晶層32が数nm程度になると、境界領域10のうちの特に弱い部分に貫通転移33が生じる。更に結晶層32が成長すると、図2(c)に示すように、Ge島の境界領域を縫うようにして基板に平行な方向に網目状に貫通転移33が形成される。

【0032】次いで、アモルファス層が完全に結晶化し、緩和したノンドープ $Si_{0.7}Ge_{0.3}$ バッファ層12が形成されたら、図2(d)に示すように、ジシラン分圧を通常のエピタキシャル成長条件( $2.5 \times 10^{-2}$  Pa)に戻し、キャリア供給層13、スペーサ層14、チャネル層15、キャップ層16、17を順次積層する。

【0033】その後、ウェハにイオン打ち込みやメタライゼーションでソース、ドレインやゲートを形成してFETが作り込まれるが、これらの製造プロセスは一般に良く用いられているものであるため、詳細な説明は省く。ただし、至みシリコン層が緩和して転移が発生しないように、プロセスの上限温度は850℃程度に抑制する必要がある。

【0034】なお、本実施形態においては、キャリア供給層から上は通常のCVD成長を用いたが、転移転換層11より表面側の全ての層を初めからアモルファスで形成し、結晶化することも可能である。

【0035】【第2実施形態】図5は、本発明の第2実施形態に係わる半導体素子の要部構成を示す断面図である。なお、図5において、図1と同一な部分には同一符号を付し、その詳細な説明を省略する。本実施形態の半導体素子は、至Si層をp、nチャネルとして用いたCMOSインバータである。

【0036】n型Si基板10上にn型Ge転移転換層11a、n型緩和 $Si_{0.7}Ge_{0.3}$ 層12a、n型至みシリコン層15aが形成されている。そして、所定領域にイオン打ち込みによってp型ウェルが形成され、p型Ge転移転換層11b、p型緩和 $Si_{0.7}Ge_{0.3}$ 層12b及びp型至みシリコン層15bが形成されている。

なお、55は絶縁膜である。

【0037】また、図5に示したCMOSにおいて、pMOSのソース51a及びn型緩和層12aが配線57aを介して3Vにバイアスされ、nMOSのソース52a及びp型緩和層12bが配線57cを介してアースに接続されている。入力が入力MOSのゲート54a、54bに加えられ、pMOSのドレイン51bとnMOSのドレイン51bが出力となる。

【0038】CMOSは、基板の構造以外は、通常のSi-CMOSに使われているものと同様の構成なので、詳細な説明を省略する。

【第3実施形態】本実施形態では、通常のMOS構造の代わりに、ヘテロ界面にチャネルを有するMOS構造（HMOS）を用いた例を示す。

【0039】図6は、本発明の第3実施形態に係わるHMOS構造を有する半導体素子の要部構成を示す断面図である。なお、図6において、図1、5と同一な部分には同一符号を付し、その詳細な説明を省略する。

【0040】n-HMOSに関しては、至Si層15bとゲート酸化膜53との間に5nm厚さのp型至Si<sub>0.3</sub>Ge<sub>0.7</sub>（圧縮歪）層61bを挿入すればよい。p-HMOSに関しては、至Si層15aとゲート酸化膜53との間に、nHMOSと共用の膜厚10nmのn型Si<sub>0.3</sub>Ge<sub>0.7</sub>層61aと膜厚5nmの至Si層（引張り歪）62aを挿入する。なお、歪み層61aと歪み層61bとの膜厚の違いは、n-HMOSのゲート酸化膜53の形成により消費された分である。

【0041】この場合、nチャネルは至Si層15bと至Si<sub>0.3</sub>Ge<sub>0.7</sub>層61bとの界面付近に、また、pチャネルは至Si<sub>0.3</sub>Ge<sub>0.7</sub>層61aと至Si層62aとの間にそれぞれ形成される。

【0042】本実施形態の変形例として、第1実施形態に示したような変調ドープ構造を用いることも出来る。その場合、p、nチャネルの上部に、Si<sub>0.3</sub>Ge<sub>0.7</sub>スペーサ層を介してp型、n型のSi<sub>0.3</sub>Ge<sub>0.7</sub>キャリア供給層を付け加える必要がある。

【0043】なお、本発明は、上記実施形態に限定されるものではない。例えば、転移転換層としては、Si<sub>1-x</sub>Ge<sub>x</sub>（1≧x>0）であれば良い。又、バッファ層としては、Si<sub>1-y</sub>Ge<sub>y</sub>（x≠y）であれば良い。又、チャネル層としては、Si<sub>1-z</sub>Ge<sub>z</sub>（z≠y）であれば良い。

【0044】上述した組み合わせ以外にも、GaAs

（第1の半導体層）/InAs（第2の半導体層）/InGaAs（第3の半導体層）/InGaAs（歪み半導体層）、GaAs（第1の半導体層）/InP（第2の半導体層）/InGaAsP（第3の半導体層）/InGaAs（歪み半導体層）、InP（第1の半導体層）/InGaP（第2の半導体層）/InGaP（第3の半導体層）/InGaAs（歪み半導体層）などの組み合わせが可能である。その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0045】

【発明の効果】以上説明したように本発明によれば、生産性に優れ、かつ従来よりも転移密度の小さい歪みSiまたはSiGe層が得られる。その結果、従来のSi電子素子よりも低消費電力、高速動作が可能となる。

【図面の簡単な説明】

【図1】第1実施形態に係わる半導体素子の構成を示す断面図。

【図2】図1の半導体素子の製造工程を示す工程断面図。

【図3】Ge転移転換層の膜厚分布を示す図。

【図4】Ge転移転換層の状態を説明するための図。

【図5】第2実施形態に係わる半導体素子の構成を示す断面図。

【図6】第3実施形態に係わる半導体素子の構成を示す断面図。

【図7】Siのフェルミ面付近の電子状態を示す図。

【符号の説明】

10…Si基板（第1の半導体層）

11…転移転換層（第2の半導体層、Si<sub>1-x</sub>Ge<sub>x</sub>層）

12…Si<sub>0.7</sub>Ge<sub>0.3</sub>バッファ層（第3の半導体層、Si<sub>1-y</sub>Ge<sub>y</sub>層）

13…Si<sub>0.7</sub>Ge<sub>0.3</sub>キャリア供給層

14…Si<sub>0.7</sub>Ge<sub>0.3</sub>スペーサ層

15…至Siチャネル層（歪み半導体層、Si<sub>1-z</sub>Ge<sub>z</sub>層）

16…Si<sub>0.7</sub>Ge<sub>0.3</sub>キャップ層

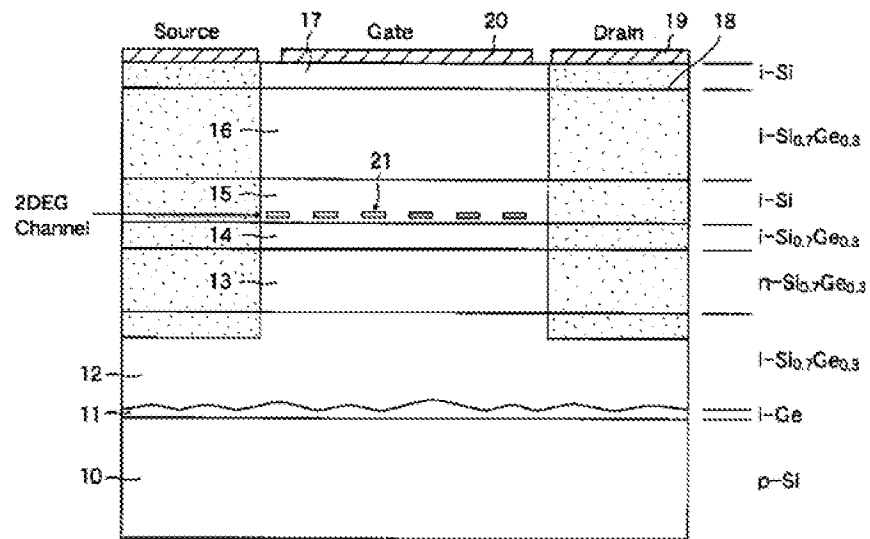
17…至Siキャップ層

18…n型拡散領域

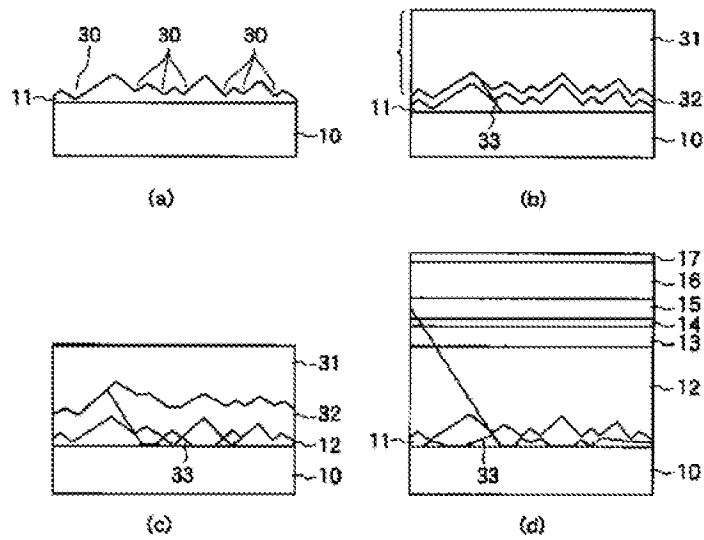
19…Al電極

20…ショットキーゲート電極

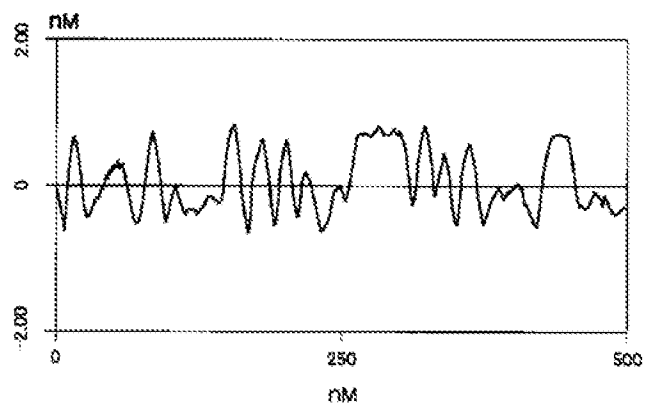
【図 1】



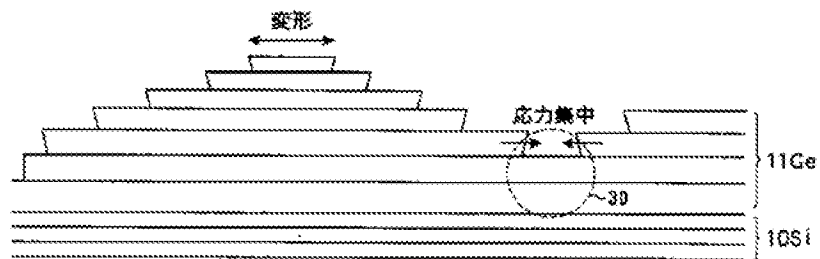
【図 2】



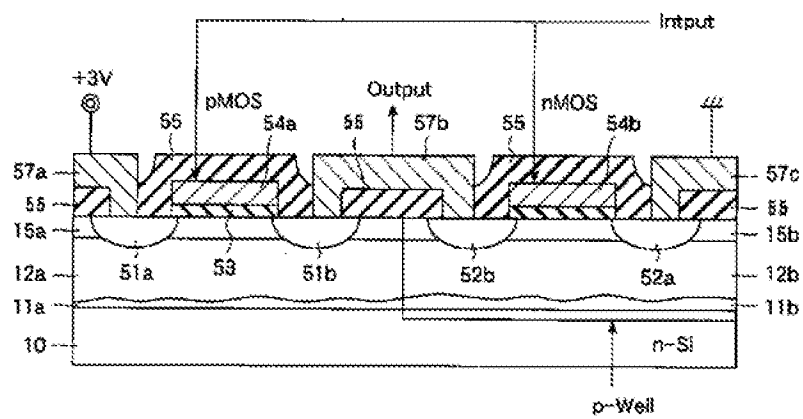
【図3】



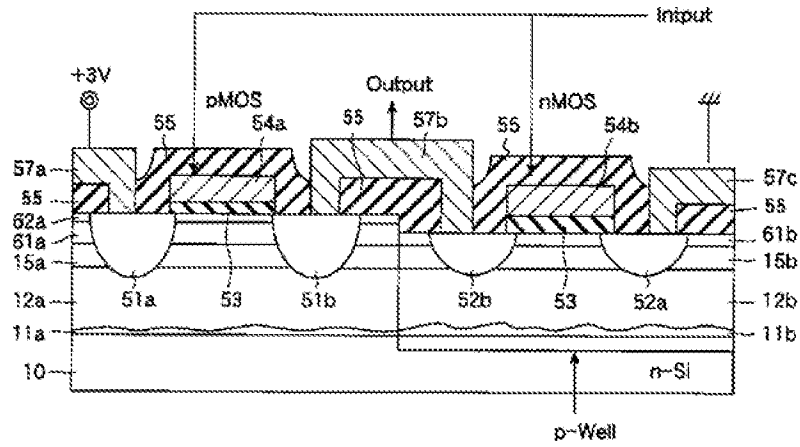
【図4】



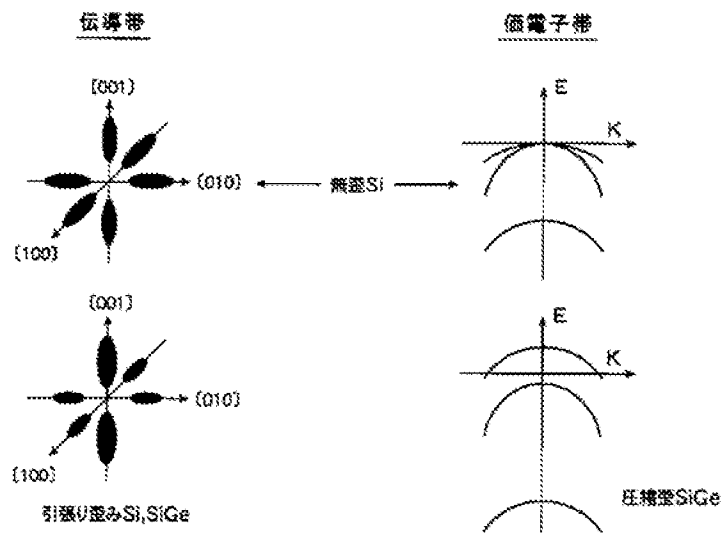
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 1 L 29/778

21/338

29/812

Fターム(参考) 5F040 DB03 DC01 EE06 EM10  
5F045 AA06 AB01 AC01 AD09 AF03  
CA06 DA54  
5F048 BA03 BA14 BB09  
5F052 DB01 FA05 FA07 GC03 HA01  
KA01  
5F102 GD01 GJ02 GK02 GK09 GL02  
GL09 GS01 GT03 HC01



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31491

(P2000-31491A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)	
H 0 1 L 29/786		H 0 1 L 29/78	6 1 8 E	5 F 0 4 0
29/78			3 0 1 H	5 F 1 0 2
29/778		29/80	H	
21/338				
29/812				

審査請求 未請求 請求項の数15 O L (全 10 頁)

(21) 出願番号 特願平10-197911

(22) 出願日 平成10年7月14日 (1998.7.14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 杉井 信之

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 中川 清和

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100083552

弁理士 秋田 収喜

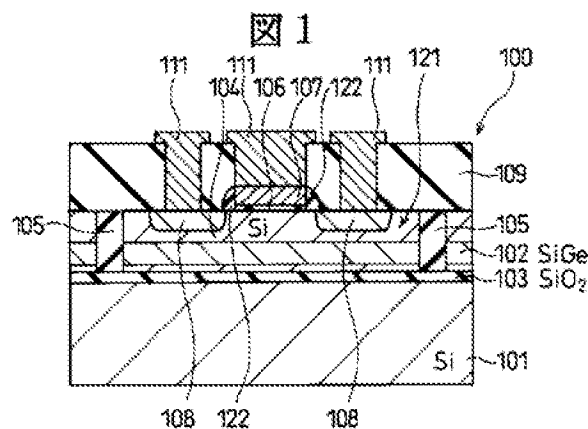
最終頁に続く

(54) 【発明の名称】 半導体装置、半導体装置の製造方法、半導体基板および半導体基板の製造方法

(57) 【要約】

【課題】 高速・高性能・高集積化が可能なヘテロ構造トランジスタの提供。

【解決手段】 Si基板に形成され、前記Si基板の主面の内側に形成されるSiO<sub>2</sub>絶縁層と、前記Si基板の主面上に設けられる混晶半導体層からなる歪み印加層と、前記歪み印加層上に設けられるSi層からなる歪みチャンネル層と、前記歪みチャンネル層に設けられソース領域またはドレイン領域を構成する一対の拡散領域と、前記一対の拡散領域間の歪みチャンネル層上にゲート絶縁膜を介して設けられるゲート電極とによって構成される電界効果型トランジスタを有する半導体装置であって、前記歪み印加層はSiGe層からなり、前記歪み印加層は50～200nm程度の厚さになり、前記SiGe歪み印加層と前記SiO<sub>2</sub>絶縁層との間のSi層の厚さは前記SiGe歪み印加層以下の厚さになり、前記歪みチャンネル層の厚さは10の(3-2x)乗nm程度以下になっている。



【特許請求の範囲】

【請求項1】 Si基板に形成され、前記Si基板の主面の内側に形成されるSiO<sub>2</sub>絶縁層と、前記Si基板の主面上に設けられる混晶半導体層からなる歪み印加層と、前記歪み印加層上に設けられるSi層からなる歪みチャンネル層と、前記歪みチャンネル層に設けられソース領域またはドレイン領域を構成する一対の拡散領域と、前記一対の拡散領域間の歪みチャンネル層上にゲート絶縁膜を介して設けられるゲート電極とによって構成される電界効果型トランジスタを有する半導体装置であって、前記歪み印加層はSi<sub>1-x</sub>Ge<sub>x</sub> (0 ≤ x ≤ 1) からなり、前記歪み印加層は50～200nm程度の厚さになり、前記Si<sub>1-x</sub>Ge<sub>x</sub>歪み印加層と前記SiO<sub>2</sub>絶縁層との間のSi層の厚さは前記Si<sub>1-x</sub>Ge<sub>x</sub>歪み印加層以下の厚さになり、前記歪みチャンネル層の厚さは10の(3-2x)乗nm程度以下になっていることを特徴とする半導体装置。

【請求項2】 Si基板に形成され、前記Si基板の主面上に設けられる混晶半導体層からなる歪み印加層と、前記歪み印加層の下面に上面が接しかつ前記歪み印加層に沿って延在するように前記Si基板内に設けられるSiO<sub>2</sub>絶縁層と、前記歪み印加層上に設けられるSi層からなる歪みチャンネル層と、前記歪みチャンネル層に設けられソース領域またはドレイン領域を構成する一対の拡散領域と、前記一対の拡散領域間の歪みチャンネル層上にゲート絶縁膜を介して設けられるゲート電極とによって構成される電界効果型トランジスタを有することを特徴とする半導体装置。

【請求項3】 前記歪み印加層はSi<sub>1-x</sub>Ge<sub>x</sub> (0 ≤ x ≤ 1) からなり、前記歪み印加層は50～200nmの厚さになり、前記歪みチャンネル層の厚さは10の(3-2x)乗nm程度以下になっていることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記歪みチャンネル層上にはスペーサ層、導電型決定不純物がドーピングされたキャリア供給層、キャップ層が順次形成されて変調ドーピング型の電界効果型トランジスタを構成していることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置。

【請求項5】 Si基板に形成され、前記Si基板に設けたソース領域とドレイン領域との間にSi層からなる歪みチャンネル層を有しかつ前記ソース領域とドレイン領域との間の歪みチャンネル層上にゲート絶縁膜を介してゲート電極を設けて構成される電界効果型トランジスタを有する半導体装置の製造方法であって、前記Si基板の主面に混晶半導体層からなる歪み印加層を形成する工程と、前記歪み印加層の表面から酸素イオンを注入するとともにアニールして前記Si基板内にSiO<sub>2</sub>絶縁層を形成する工程と、前記歪み印加層上に前記歪みチャンネル層を形成する工程と、前記Si基板の主面側に素子分離絶縁領域を形成して素子形成領域を形成する工程と、前記素子形成領域内に前記ゲート電極およびソース領域やドレイン領域を

構成する拡散領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 前記酸素イオンの注入およびアニールの処理条件を選択し、前記歪み印加層と前記SiO<sub>2</sub>絶縁層との間に前記Si基板の表層部分が残留するように形成することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記酸素イオンの注入およびアニールの処理条件を選択し、前記歪み印加層の下面に前記SiO<sub>2</sub>絶縁層の上面が一致するように形成することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項8】 前記歪みチャンネル層上にスペーサ層、導電型決定不純物がドーピングされたデルタキャリア供給層、キャップ層を順次形成して変調ドーピング型の電界効果型トランジスタを形成することを特徴とする請求項5乃至請求項7のいずれか1項に記載の半導体装置の製造方法。

【請求項9】 前記歪み印加層は50～200nmの厚さに形成し、前記歪みチャンネル層の厚さは10の(3-2x)乗nm程度以下に形成することを特徴とする請求項5乃至請求項8のいずれか1項に記載の半導体装置の製造方法。

【請求項10】 Si基板と、前記Si基板の主面に成長形成された混晶半導体層と、前記混晶半導体層の表面から注入された酸素イオンのアニール処理によって形成されたSiO<sub>2</sub>絶縁層とからなる半導体基板。

【請求項11】 前記SiO<sub>2</sub>絶縁層と前記混晶半導体層との間には前記混晶半導体層の厚さ以下のSi基板を構成するSi層が存在していることを特徴とする請求項10に記載の半導体基板。

【請求項12】 前記混晶半導体層の下面に前記SiO<sub>2</sub>絶縁層の上面が一致していることを特徴とする請求項10に記載の半導体基板。

【請求項13】 前記混晶半導体層の厚さは50～200nmになっていることを特徴とする請求項10乃至請求項12のいずれか1項に記載の半導体基板。

【請求項14】 前記混晶半導体層はSi<sub>1-x</sub>Ge<sub>x</sub> (0 ≤ x ≤ 1) からなっていることを特徴とする請求項10乃至請求項13のいずれか1項に記載の半導体基板。

【請求項15】 前記請求項10乃至請求項14のいずれか1項に記載のSi基板の製造方法であって、前記Si基板の主面に混晶半導体層を成長形成する工程と、前記混晶半導体層の表面から前記Si基板内に注入分布のピークが位置するように酸素イオンを注入する工程と、前記Si基板をアニールして前記SiO<sub>2</sub>絶縁層を形成する工程とを有することを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置、半導体装置の製造方法、半導体基板および半導体基板の製造方法に関し、特にSiGeヘテロ構造トランジスタを含む半導体装置の製造技術に適用して有効な技術に関する。

#### 【0002】

【従来の技術】集積回路の高密度化に伴い、Si電界効果トランジスタの寸法縮小および速度向上が急務となっている。一方で通信用の高速低消費電力トランジスタの開発も強く望まれている。

【0003】Siチャンネルに歪みを印加させた歪みSi（ヘテロ構造）トランジスタは従来のSi電界効果トランジスタに比べ格段に高速化しうることが示唆されている（M. V. Fischetti and S. E. Laux: J. Appl. Phys. 80(1996)2234）。

【0004】Si基板上に形成するヘテロ構造トランジスタにおいて、チャンネル層に歪を与えるためには、チャンネル層の下部にこれと格子定数の異なるバッファ層（歪み印加層）を設ける必要がある。従来、 $\text{Si}_{1-x}\text{Ge}_x$  混晶 ( $0 \leq x \leq 1$ ) をバッファ層として用いていたが、1ミクロン以上の厚みのバッファ層を積層する必要があり、転位がバッファ層上部まで貫通する問題や表面荒さの悪化のために、チャンネル層の輸送特性に悪影響を与えて、所望の電子輸送特性を有する高移動度トランジスタの実現は困難であった。

【0005】また、SiおよびGeを用いたトランジスタ（電界効果型トランジスタ）に関しては、エクステンデッド アブストラクト オブ 1993 インターナショナル コンファレンス オン ソリッドステート デバイス アンド マテリアルズ、マクハリ、1993年、第201頁から第203頁(Extended Abstracts of the 1993 International Conference on Solid State Devices and Materials, Makuhari(1993)pp. 201-203)に論じられている。

【0006】この文献に記載されている電界効果型トランジスタ（高移動度トランジスタ）は、Si基板上にSiGeバッファ層を有し、このSiGeバッファ層上にSiチャンネル層とSiGe層を有する構造になっている。また、前記SiGe層の中段にはSbをドーブした単一原子層からなるデルタドーブ層（電子供給層）が設けられている。

【0007】一方、高速動作を考えて絶縁板上にシリコン層を設けたSOI基板を用いることが検討されている。SOI基板には張り合わせ基板等のいくつかの方法が提案されているが、Si基板に酸素イオンを注入した後にアニールして酸化層を形成するSIMOX法が有望視されている。SIMOX基板を用いることは、従来のSi電界効果トランジスタのみならず歪みSiトランジスタの作製においても大きな利点をもたらす。

【0008】すなわち、SIMOX基板上にSiGe歪み印加層を形成すると、基板内の $\text{SiO}_2$ とその上部のSi層に転位が多数発生するためにSiGe層の転位密度を軽減させることが可能になる。しかしながら転位密度の低減のためにはSiGe層の厚みは最低でも500nm以上必要であり、膜表面の平坦性や生産性のために望ましくない。

【0009】このように、従来技術では、高速なSiGeヘテロ構造高移動度トランジスタ(HEMT)の実現に必要な高

品質な歪印加層の形成が困難であった。なお、SIMOX基板を用いて電界効果型トランジスタや高移動度トランジスタを形成した例については、D. K. Nayak, J. S. Park, J. C. S. Woo, K. L. Wang, G. K. Yabiku, and K. P. MacWilliams In International Electron Devices Meeting(IEDM)に記載されている。

#### 【0010】

【発明が解決しようとする課題】上記従来技術では、バッファ層の貫通転位、表面性の悪化、ないしはバッファ層の生産性悪化といった問題があり、これが高速なSiGeヘテロ構造高移動度トランジスタの実現を阻んでいた。

【0011】本発明の目的は、結晶性良好なヘテロ構造を実現することによって、高速化、高性能化、高集積化が達成できるヘテロ構造トランジスタを有する半導体装置および生産性に優れた半導体装置の製造方法を提供することにある。

【0012】本発明の他の目的は、結晶性良好なヘテロ構造のSi基板（半導体基板）を提供することにある。本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

#### 【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) Si基板に形成され、前記Si基板の主面の内側に形成される $\text{SiO}_2$ 絶縁層と、前記Si基板の主面上に設けられる混晶半導体層からなる歪み印加層と、前記歪み印加層上に設けられるSi層からなる歪みチャンネル層と、前記歪みチャンネル層に設けられソース領域またはドレイン領域を構成する一対の拡散領域と、前記一対の拡散領域間の歪みチャンネル層上にゲート絶縁膜を介して設けられるゲート電極とによって構成される電界効果型トランジスタを有する半導体装置であって、前記歪み印加層は $\text{Si}_{1-x}\text{Ge}_x$  ( $0 \leq x \leq 1$ ) からなり、前記歪み印加層は50~200nm程度の厚さになり、前記 $\text{Si}_{1-x}\text{Ge}_x$ 歪み印加層と前記 $\text{SiO}_2$ 絶縁層との間のSi層の厚さは前記 $\text{Si}_{1-x}\text{Ge}_x$ 歪み印加層以下の厚さになり、前記歪みチャンネル層の厚さは $\text{Si}_{1-x}\text{Ge}_x$ 上にSiが歪み成長する臨界厚さである、10の(3-2x)乗nm程度以下になっている。

【0014】このような電界効果型トランジスタは以下の製造方法によって製造される。Si基板に形成され、前記Si基板に設けたソース領域とドレイン領域との間にSi層からなる歪みチャンネル層を有しかつ前記ソース領域とドレイン領域との間の歪みチャンネル層上にゲート絶縁膜を介してゲート電極を設けて構成される電界効果型トランジスタを有する半導体装置の製造方法であって、前記Si基板の主面に混晶半導体層からなる歪み印加層を形成する工程と、前記歪み印加層の表面から酸素イオンを注入するとともにアニールして前記Si基板内に $\text{SiO}_2$ 絶縁層

を形成する工程と、前記歪み印加層上に前記歪みチャネル層を形成する工程と、前記Si基板の主面側に素子分離絶縁領域を形成して素子形成領域を形成する工程と、前記素子形成領域内に前記ゲート電極およびソース領域やドレイン領域を構成する拡散領域を形成する工程とを有する。前記酸素イオンの注入およびアニールの処理条件を選択し、前記歪み印加層と前記SiO<sub>2</sub>絶縁層との間に前記Si基板の表層部分が残留するように形成する。前記歪み印加層は50~200 nmの厚さに形成し、前記歪みチャネル層の厚さは10の(3-2x)乗nm程度以下に形成する。

【0015】(2) 前記手段(1)の構成において、前記歪み印加層の下面に前記SiO<sub>2</sub>絶縁層の上面が接する構造になっている。即ち、Si基板に形成され、前記Si基板の主面に設けられる厚さ50~200 nmの混晶半導体層

(Si<sub>1-x</sub>Ge<sub>x</sub>層(0≤x≤1))からなる歪み印加層と、前記歪み印加層の下面に上面が接しかつ前記歪み印加層に沿って延在するように前記Si基板内に設けられるSiO<sub>2</sub>絶縁層と、前記歪み印加層上に設けられる厚さが10の(3-2x)乗nm程度以下のSi層からなる歪みチャネル層と、前記歪みチャネル層に設けられソース領域またはドレイン領域を構成する一対の拡散領域と、前記一対の拡散領域間の歪みチャネル層上にゲート絶縁膜を介して設けられるゲート電極とによって構成される電界効果型トランジスタを有する構成になっている。

【0016】このような電界効果型トランジスタは、前記(1)の手段による製造方法において、前記酸素イオンの注入およびアニールの処理条件を選択し、前記歪み印加層の下面に前記SiO<sub>2</sub>絶縁層の上面が一致するように形成する。

【0017】(3) 前記手段(1)または(2)の構成において、前記歪みチャネル層上にはスペーサ層、導電型決定不純物がドーピングされたキャリア供給層、キャップ層が順次形成されて変調ドーピング型の電界効果型トランジスタを構成している。

【0018】このような変調ドーピング型の電界効果型トランジスタは、前記(1)または(2)の手段による製造方法において、前記歪みチャネル層上にスペーサ層、導電型決定不純物がドーピングされたデルタキャリア供給層、キャップ層を順次形成して変調ドーピング型の電界効果型トランジスタを形成する。

【0019】(4) Si基板と、前記Si基板の主面に成長形成された混晶半導体層と、前記混晶半導体層の表面から注入された酸素イオンのアニール処理によって形成されたSiO<sub>2</sub>絶縁層とからなる半導体基板。前記SiO<sub>2</sub>絶縁層と前記混晶半導体層との間には前記混晶半導体層の厚さ以下のSi基板を構成するSi層が存在している。前記混晶半導体層はSi<sub>1-x</sub>Ge<sub>x</sub>層(0≤x≤1)からなり、その厚さは50~200 nmになっている。

【0020】このような半導体基板は、Si基板の主面に混晶半導体層を成長形成する工程と、前記混晶半導体層

の表面から前記Si基板内に注入分布のピークが位置するように酸素イオンを注入する工程と、前記Si基板をアニールして前記SiO<sub>2</sub>絶縁層を形成する工程とによって製造される。

【0021】(5) 前記手段(1)の構成において、前記混晶半導体層の下面に前記SiO<sub>2</sub>絶縁層の上面が一致している構成になっている。

【0022】前記(1)の手段によれば、(a) 電界効果型トランジスタの構造は、SIMOX基板を用いて製造した電界効果型トランジスタと同様なものになるが、SiGe歪み印加層の厚さはSIMOX基板の500nm程度以上に比較し、その半以下の200nm程度以下と薄くでき、またこの結果、SiGe歪み印加層上に厚さ10の(3-2x)乗nm程度以下の薄い歪みSiチャネル層を形成できる。

【0023】(b) 前記(a)により、SiGe歪み印加層の平坦化が図れ、歪みSiチャネル層の厚さを10の(3-2x)乗nm程度以下と薄くできることから、電界効果トランジスタのパンチスルー電流の低減、チャネル層中への転移発生による移動度の低下を防止することができ、電界効果型トランジスタの特性(高速化、高性能化)向上が達成できる。

【0024】(c) 前記(b)により、SiGe歪み印加層の平坦化が図れ、歪みSiチャネル層の薄型化から微細加工が可能になり、高集積化が達成できる。

【0025】(d) 前記(a)により、SiGe歪み印加層、歪みSiチャネル層の形成時間の短縮が図れ、半導体装置の製造コストの低減が達成できる。

【0026】(e) 前記SiGe歪み印加層と前記SiO<sub>2</sub>絶縁層との間のSi層の厚さは前記SiGe歪み印加層以下の厚さになり、効果的なSiGe歪み印加層の形成が達成できる。

【0027】前記(2)の手段によれば、前記手段(1)の効果に加えて、前記歪み印加層の下面に前記SiO<sub>2</sub>絶縁層の上面が接するようにSiO<sub>2</sub>絶縁層を形成することから、浮遊容量の低減が達成でき、電界効果型トランジスタの特性が向上する。

【0028】前記(3)の手段によれば、前記手段(1)または(2)の構成による効果を有する変調ドーピング型の電界効果型トランジスタを有する半導体装置を製造することかできる。

【0029】前記(4)の手段によれば、表面が混晶半導体層となるシリコン・オン・インシュレータ(SOI)構造の平坦性に優れた新たな半導体基板を提供することができる。この半導体基板はSi基板上に混晶半導体層(SiGe層)を有し、かつSi基板の表層部の内方に酸素イオンの注入とアニール処理によって形成されたSiO<sub>2</sub>絶縁層を有する構造となるため、その製造において前記混晶半導体層の厚さを薄くでき、かつ前記混晶半導体層もSiとの格子定数の違い(Siの格子定数は5.4309Å, Geの格子定数は5.6575Å)により歪み印加層として作用する層とさせることができる。従って、この半導体基板の

使用によって微細加工も可能になり、半導体装置の高集積化が可能になる。また、平坦性が良好で歪み印加層となる混晶半導体層を有する半導体基板となることから、前記混晶半導体層に歪みチャネル層を形成した場合、さらにはスペーサ層、キャリア供給層等を形成する等によって高速、高性能の電界効果型トランジスタや変調ドープ型の電界効果型トランジスタ等の製造も達成できる。

【0030】前記(5)の手段によれば、半導体基板は前記手段(4)の構成による半導体基板の効果を有するとともに、前記混晶半導体層の下面に前記 $\text{SiO}_2$ 絶縁層の上面が一致している構成になっていることから浮遊容量の低減が達成できる。

【0031】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0032】(実施形態1)図1乃至図5は本発明の一実施形態(実施形態1)である半導体装置に係わる図であり、図1は半導体装置の模式的断面図、図2乃至図5は半導体装置の製造における各工程での模式的断面図である。

【0033】本実施形態1では、電界効果型トランジスタを有する半導体装置について説明する。図1乃至図5は電界効果型トランジスタ部分のみを示す図である。

【0034】本実施形態1の半導体装置100は、図1に示すように、Si基板101の上表面(主面)に $\text{Si}_{1-x}\text{Ge}_x$  ( $0 \leq x \leq 1$ )からなるSiGe歪み印加層102、歪みSiチャネル層104を順次積層成長させた構造になっている。また、Si基板101の表層部において、その内部に $\text{SiO}_2$ 絶縁層103を有する構造になっている。

【0035】また、前記歪みSiチャネル層104、SiGe歪み印加層102および $\text{SiO}_2$ 絶縁層103上のSi層部分には貫通しかつ底が前記 $\text{SiO}_2$ 絶縁層103に到達する素子分離絶縁領域105が形成されている。前記素子分離絶縁領域105に囲まれる素子形成領域121には、電界効果型トランジスタのソース領域やドレイン領域を構成する一対の拡散領域108が設けられている。

【0036】また、前記一対の拡散領域108間の歪みSiチャネル層104の表面にはゲート酸化膜106が設けられている。このゲート酸化膜106の上にはゲート電極107が設けられ、ゲート酸化膜106およびゲート電極107の両端には絶縁体からなる側壁(サイドウォール)122が設けられている。前記拡散領域108は前記ゲート酸化膜106の両端側にそれぞれ設けられている。

【0037】前記歪みSiチャネル層104、ゲート電極107および側壁122上には層間絶縁膜109が設けられている。この層間絶縁膜109にはコンタクトホールが設けられているとともに、このコンタクトホール部分には金属配線111が形成され、ゲート電極107に接続されるゲート配

線、拡散領域108に接続されるソースやドレイン用の配線が形成され、電界効果型トランジスタが構成されている。

【0038】次に、図2乃至図5を参照しながら、本実施形態1の半導体装置の製造方法と、各構成部分の組成、寸法等について説明する。

【0039】最初に、図2に示すように、数百 $\mu\text{m}$ の厚さのSi基板101を用意する。その後、前記Si基板101を洗浄し、清浄なSi基板101にする。

【0040】次に、洗浄後、ただちに化学気相成長装置(CVD装置)に導入し、図2に示すように、前記Si基板101の平坦な一表面(主面)上に $\text{Si}_{1-x}\text{Ge}_x$ 混晶層( $0 \leq x \leq 1$ )からなるSiGe歪み印加層(SiGe バッファ層)102を形成する。本実施形態1では前記混晶比 $x$ は0.3とする。従って、SiGe歪み印加層102は $\text{Si}_{0.7}\text{Ge}_{0.3}$ 歪み印加層102になる。CVDにおいては、例えば、原料には $\text{SiH}_4$ および $\text{GeH}_4$ を用い、成長温度500℃で成長させ、150nmの厚さに成長させる。

【0041】 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 歪み印加層102(混晶比 $x$ )の形成方法は化学気相成長法に限らず高純度のSiGe層が形成できる方法であればよい。SiGe層の厚みは、素子分離性能や浮遊容量の低減を考慮すると、50-200nm程度とすることが望ましい。また、SiとGeの組成比は、SiGe合金が全率固溶系であるため基本的には任意であるが、Siチャネル層に適切な歪みを与え、かつSiチャネル層の平坦性を保つに適切な値として、Ge比率(混晶比 $x$ )が10%から40%程度にすることが望ましい。また、膜厚方向に向かってGe組成を変化させる(傾斜組成)ことも有効である。

【0042】次に酸素イオンを加速電圧200keV、ドーズ量 $4 \times 10^{17}/\text{cm}^2$ の条件でSiGe歪み印加層102の上から注入するとともに、その後1300℃で8時間アニールを行う。これにより、図3に示すように、SiGe歪み印加層102の直下のSi基板101の表層部分に $\text{SiO}_2$ 絶縁層103が形成される。 $\text{SiO}_2$ 絶縁層103の厚みは凡そ100nmであり、絶縁耐圧50V以上が確保される。前記アニール処理により、SiGe歪み印加層102は欠陥密度が極めて低く、平坦でかつ歪み緩和が十分になされる。

【0043】ここで、酸素イオンの注入深さ(酸素濃度プロファイルの頂点位置)が極めて重要である。仮に浮遊容量の低減等に有利であるために、 $\text{SiO}_2$ 絶縁層とSiチャネルとの距離をなるべく近づける、すなわち注入深さを浅くしてSiGe層中に酸素を注入すると、熱処理過程においてSiの選択的酸化とGeの析出が起こり、十分な絶縁性を保つことが不可能になるばかりでなく、表面平坦性が著しく悪化してしまう。そこで、酸素イオンの注入深さはSiGe層の直下、Si内部にすることが必要である。こうすれば、熱処理過程において絶縁性に優れ、かつ平坦な $\text{SiO}_2$ 層が形成される。熱処理過程において、SiGe層は酸素イオン注入による損傷が回復し、歪みは緩和され、

従来より格段に薄いSiGe歪み印加層が形成できることになる。さらに、SiGe層と酸素イオン注入位置との距離は近いほど望ましく、例えば、SiとSiGeの歪み成長の臨界厚さ(Ge濃度20%で400nm前後、50%で100nm前後)以下にするほうが良い。こうすることにより、効果的に歪みが緩和されたSiGe歪み印加層が形成される。この距離を著しく薄くすると、酸素イオン注入濃度プロファイルのすそがSiGe層内に入るが、注入位置(濃度プロファイルの頂点)がSi層内に入っておれば、その後のアニール工程においても上記したようなGeの析出等の問題による影響が極めて小さくなる。

【0044】この方法によって、従来より薄くかつ平坦で結晶欠陥の極めて少ないSiGe歪み印加層がSiO<sub>2</sub>絶縁層の上部に形成できることになる。なお、前記SiGe歪み印加層と前記SiO<sub>2</sub>絶縁層との間のSi層の厚さは前記SiGe歪み印加層以下の厚さであればよい。

【0045】次にSiGe歪み印加層102の上部に、図4に示すように、化学気相成長法により歪みSiチャンネル層104を形成する。膜厚は20nmとした。前述のようなSiGe歪み印加層102の上部に歪みSiチャンネル層104を形成することから、SiGe歪み印加層102で十分に歪み緩和されておりかつ極めて平坦なため、歪みSiチャンネル層104に効果的に歪みを与えることが出来、かつチャンネル層の結晶欠陥密度も極めて小さくなる。また、歪みSiチャンネル層104は、電界効果トランジスタのパンチスルー電流の低減、チャンネル層中への転移発生による移動度の低下を防止するためには概ね10の(3-2x)乗nm程度以下の膜厚にすることが望ましい。この歪みSiチャンネル層104はSiGe歪み印加層102の格子定数がSiより大きい(Siは0.357nm、Geは0.357nm)ことから引っ張り歪みを受ける。これにより、この中のキャリア(電子およびホール)移動度は、無歪みSi中の移動度の1500(電子)、500(ホール)よりも、例えば、3500(電子)、5000(ホール)程度と大きくなる。

【0046】次に、図4に示すように、常用の手法で素子分離絶縁領域105を形成して電界効果型トランジスタや電界効果型トランジスタを含む回路素子等を形成する素子形成領域121を形成する。前記素子分離絶縁領域105は、例えば、トレンチの形成と、このトレンチを酸化膜で埋め込むことによって形成される。

【0047】素子形成領域121は周囲を素子分離絶縁領域105で囲まれ、下部はSiO<sub>2</sub>絶縁層103が設けられていることから電気絶縁性の高いものとなり、組み込まれる電界効果型トランジスタ等の素子の特性を向上させることができる。

【0048】次に、図4に示すように、歪みSiチャンネル層104の表面を熱酸化して酸化膜を形成するとともにポリシリコン膜を重ねて形成した後、ゲート形成領域を除く部分のポリシリコン膜と酸化膜をエッチングしてゲート酸化膜106とゲート電極107を形成する。

【0049】次に、図5に示すように、前記Si基板101の主面側に酸化膜を形成した後、異方性エッチングによって前記酸化膜を除去し、前記ゲート酸化膜106およびゲート電極107の両側面に側壁(サイドウォール)122を形成する。

【0050】次に、図5に示すように、Si基板101の主面側に選択的にレジストを設けるとともに、前記側壁122を利用してセルフアラインによりソース領域やドレイン領域を構成する拡散領域108を形成する。

【0051】次に、図5に示すように、層間絶縁膜109を形成し、コンタクトホール110を開け、Al等の金属膜を蒸着してパターニングすることによって前記コンタクトホール110部分に金属配線111を形成し、電界効果トランジスタが完成する(図1参照)。

【0052】この電界効果型トランジスタは、前記拡散領域108の形成におけるイオン注入において、P等のV族元素を注入すればn型領域が形成できてnチャネル型電界効果型トランジスタ(NMOS)となり、Ga等のIII族元素を注入すればp型領域が形成できてpチャネル型電界効果型トランジスタ(PMOS)となる。従って、同一Si基板101にPMOS、NMOSを形成することによってCMOSPETも製造できる。

【0053】本実施形態1の半導体装置の製造において製造される図3で示すSi基板101は、このままの状態でも半導体基板として市販可能である。

【0054】即ち、この半導体基板は、Si基板101の主面にSiGe歪み印加層102を有するとともに、Si基板101の表層部分においてその内方にSiO<sub>2</sub>絶縁層103を有する構造である。そして、各部の寸法は前述のように、SiGe歪み印加層102は50~200nm程度の厚さであり、SiO<sub>2</sub>絶縁層103は凡そ100nmである。また、SiGe歪み印加層102と前記SiO<sub>2</sub>絶縁層103との間のSi層の厚さは前記SiGe歪み印加層以下の厚さになっている。

【0055】本実施形態1によれば以下の効果を奏する。

(1) 電界効果型トランジスタの構造は、SIMOX基板を用いて製造した電界効果型トランジスタと同様な素子分離性に優れたものになるが、SiGe歪み印加層102の厚さはSIMOX基板の500nm程度以上に比較し、その半分以下の200nm程度以下と薄くでき、平坦性が良好になる。この結果、SiGe歪み印加層の貫通転位、クラックの発生、表面性の悪化が防止でき、結晶性良好なヘテロ構造を実現することができる。また、SiGe歪み印加層102の平坦化から、SiGe歪み印加層102上に形成する歪みSiチャンネル層104も10の(3-2x)乗nm程度以下と薄くできる。従って、電界効果トランジスタのパンチスルー電流の低減、チャンネル層中への転移発生による移動度の低下を防止ことができ、電界効果型トランジスタの高速化、高性能化が達成できる。

【0056】(2) 前記(1)により、SiGe歪み印加層

102の平坦化が図れ、歪みSiチャネル層104の薄型化から微細加工が可能になり、高集積化が達成できる。

【0057】(3) SiGe歪み印加層102、歪みSiチャネル層104の薄型化により、膜形成時間の短縮が図れ、半導体装置の製造コストの低減が達成できる。

【0058】(4) SiGe歪み印加層102とSiO<sub>2</sub>絶縁層103との間のSi層の厚さは前記SiGe歪み印加層102以下の厚さになり、効果的なSiGe歪み印加層102の形成が達成できる。

【0059】(5) 表面がSiGe混晶半導体層となるシリコン・オン・インシュレータ(SOI)構造の平坦性に優れた新たな半導体基板を提供することができる。この半導体基板はSi基板101上にSiGe歪み印加層102を有し、かつSi基板101の表層部の内方に酸素イオンの注入とアニール処理によって形成されたSiO<sub>2</sub>絶縁層103を有する構造となるため、その製造において前記SiGe歪み印加層102の厚さを薄くでき、かつ前記SiGe歪み印加層102もSiとの格子定数の違い(Siの格子定数は5.4309Å, Geの格子定数は5.6575Å)により歪み印加層として作用する層とさせることができる。従って、この半導体基板の使用によって半導体装置の微細加工も可能になり、半導体装置の高集積化が可能になる。また、平坦性が良好で歪み印加層となる混晶半導体層を有する半導体基板となることから、前記混晶半導体層に歪みチャネル層を形成した場合、高速、高性能の電界効果型トランジスタの製造が達成できる。また、後述するように前記歪みSiチャネル層104上にスペーサ層、キャリア供給層、キャップ層等を形成する等によって高速、高性能の変調ドープ型の電界効果型トランジスタ等の製造も達成できる。

【0060】(実施形態2) 図6は本発明の他の実施形態(実施形態2)である半導体装置を示す模式的断面図である。本実施形態2では、前記実施形態1の電界効果型トランジスタにおいて、SiO<sub>2</sub>絶縁層103とSiGe歪み印加層102との間にSi層を介在させずに、SiO<sub>2</sub>絶縁層103の形成時、すなわち、Si基板101上のSiGe歪み印加層102の表面から酸素イオンを注入しかつアニールする際、酸素イオンの注入深さの制御と、アニール処理の制御によって、SiO<sub>2</sub>絶縁層103の上面がSiGe歪み印加層102の下面に一致するようにSiO<sub>2</sub>絶縁層103を形成したものである。

【0061】このような構造にすることによって、前記実施形態1の効果に加えて浮遊容量の低減が達成でき、電界効果型トランジスタの特性の向上が達成できる。

【0062】また、本実施形態2の半導体装置の製造において、SiO<sub>2</sub>絶縁層103を形成した段階のものは半導体基板として市販できる。図7はSiO<sub>2</sub>絶縁層103の上面がSiGe歪み印加層102の下面に一致した構造の新たな半導体基板130の断面図である。この構造の半導体基板130もこのまま市販でき、この半導体基板130を使用して、電界効果型トランジスタや後述する変調ドープ型の電界効果型トランジスタ等を有する半導体装置を製造すること

ができる。

【0063】(実施形態3) 本実施形態3では、変調ドープ型の電界効果型トランジスタを有する半導体装置について説明する。図8は変調ドープ型の電界効果型トランジスタを示す模式的断面図、図9乃至図12は本実施形態3の変調ドープ型の電界効果型トランジスタの製造方法を示す模式的断面図である。

【0064】本実施形態3の半導体装置140は、前記実施形態1の半導体装置100において、歪みSiチャネル層104上に、膜厚15nmのSi<sub>1-x</sub>Ge<sub>x</sub>混晶(0≤x≤1)からなるSiGeスペーサ層211、膜厚5nmのSbをドープしたSi<sub>1-x</sub>Ge<sub>x</sub>混晶(0≤x≤1)からなるSiGeキャリア供給層(キャリアドーピング層)212、膜厚10nmのSi<sub>1-x</sub>Ge<sub>x</sub>混晶(0≤x≤1)からなるSiGeキャップ層213、膜厚5nmのSiからなるSiキャップ層214を有する構造になっている。前記混晶比xは、例えば0.3である。

【0065】また、素子分離絶縁領域105に囲まれる素子形成領域121のSiキャップ層214上には両端に側壁122を有するゲート酸化膜106およびゲート電極107が設けられている。ゲート酸化膜106の両端側にはソース領域またはドレイン領域になる拡散領域108が設けられている。この拡散領域108は歪みSiチャネル層104の途中深さまで到達する構造になっている。

【0066】本実施形態3の半導体装置140の製造においては、図9に示すように、Si基板101の主面にSiGe歪み印加層102を有し、Si基板101の表層部分においてその内方にSiO<sub>2</sub>絶縁層103を有する半導体基板を製造する。この製造方法は、前記実施形態1と同様であり、図3と全く同じ構造である。

【0067】次に、図10に示すように、前記歪みSiチャネル層104上に、化学気相成長法によって、膜厚15nmのSi<sub>1-x</sub>Ge<sub>x</sub>混晶(x=0.3)からなるSiGeスペーサ層211、膜厚5nmのSbをドープしたSi<sub>1-x</sub>Ge<sub>x</sub>混晶(x=0.3)からなるSiGeキャリア供給層(キャリアドーピング層)212、膜厚10nmのSi<sub>1-x</sub>Ge<sub>x</sub>混晶(x=0.3)からなるSiGeキャップ層213、膜厚5nmのSiからなるSiキャップ層214を順次成長形成する。

【0068】次に、図11に示すように、常用の手法で素子分離絶縁領域105を形成して素子形成領域121を形成する。前記素子分離絶縁領域105は、例えば、トレンチの形成と、このトレンチを酸化膜で埋め込むことによって形成される。

【0069】次に、図11に示すように、前記Siキャップ層214の表面を熱酸化して酸化膜を形成するとともにポリシリコン膜を重ねて形成した後、ゲート形成領域を除く部分のポリシリコン膜と酸化膜をエッチングして、図12に示すように、ゲート酸化膜106とゲート電極107を形成する。

【0070】次に、図示はしないが前記実施形態1の場合と同様に前記ゲート酸化膜106およびゲート電極107



の両側面に側壁(サイドウォール)122を形成した後、常用の方法で側壁122を利用してセルフアラインによりソース領域やドレイン領域を構成する拡散領域108を形成し、次いで層間絶縁膜109を形成し、コンタクトホールを明け、Al等の金属膜を蒸着してパターニングすることによって前記コンタクトホール部分に金属配線111を形成し、図8に示すようなn型の変調ドーブ型の電界効果型トランジスタを形成する。前記拡散領域108は至みSiチャネル層104の途中深さまで到達するように形成される。

【0071】また、前記拡散領域108の形成におけるイオン注入において、III族元素を注入すればpチャネル型の変調ドーブ型の電界効果型トランジスタを製造できる。

【0072】本実施形態3による変調ドーブ型の電界効果型トランジスタにおいても、SiGe至み印加層102の薄型化により平坦化が良好になり、SiGe至み印加層102上に形成する至みSiチャネル層104も10の(3-2x)乗nm程度以下と薄くでき、パンチスルー電流の低減、チャネル層中への転移発生による移動度の低下を防止することができ、電界効果型トランジスタの高速化、高性能化が達成できる。

【0073】また、SiGe至み印加層102の平坦化による至みSiチャネル層104の薄型化から微細加工が可能になり、高集積化が達成できる。

【0074】また、SiGe至み印加層102、至みSiチャネル層104の薄型化により、膜形成時間の短縮が図れ、半導体装置の製造コストの低減が達成できる等の効果を有することになる。

【0075】本実施形態3においても、SiGe至み印加層102の下面にSiO<sub>2</sub>絶縁層103の上面が一致するようにSiO<sub>2</sub>絶縁層103を形成する技術を採用することにより、変調ドーブ型の電界効果型トランジスタの浮遊容量の低減が達成できる。

【0076】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、Si基板101上に形成する至み印加層102としてGaAs等の混晶半導体層を形成した半導体装置の場合でも前記実施例同様な効果が得られる。

【0077】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である電界効果型トランジスタの製造技術に適用した場合について説明したが、それに限定されるものではない。

【0078】本発明は少なくともトランジスタやダイオード等の能動素子を有する半導体装置の製造に適用できる。

【0079】

【発明の効果】本願において開示される発明のうち代表

的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 本発明による電界効果トランジスタおよびこれを内蔵する半導体装置は、従来に比べて、パンチスルー電流が低く、かつチャネル部分の欠陥密度が著しく減少すること、至み印加層(バッファ層)の厚さを従来より減少させることが可能でチャネル部分の平坦性に優れる。即ち、素子の高速化、高集積化、高性能化が図れるために、その工業的価値は極めて高い。

【図面の簡単な説明】

【図1】本発明の一実施形態(実施形態1)である半導体装置を示す模式的断面図である。

【図2】本実施形態1の半導体装置の製造において主にSiGe層を形成したSi基板の模式的断面図である。

【図3】本実施形態1の半導体装置の製造においてSi基板の表層部分にSiO<sub>2</sub>絶縁層を形成した模式的断面図である。

【図4】本実施形態1の半導体装置の製造において素子形成領域の表面にゲート酸化膜およびゲート電極を形成したSi基板の模式的断面図である。

【図5】本実施形態1の半導体装置の製造において層間絶縁膜にコンタクトホールを設けたSi基板の模式的断面図である。

【図6】本発明の他の実施形態(実施形態2)である半導体装置を示す模式的断面図である。

【図7】本実施形態2による半導体基板を示す模式的断面図である。

【図8】本発明の他の実施形態(実施形態3)である半導体装置を示す模式的断面図である。

【図9】本実施形態3の半導体装置の製造において主にSiGe層を形成しSi基板の表層部分にSiO<sub>2</sub>絶縁層を形成した模式的断面図である。

【図10】本実施形態3の半導体装置の製造においてSi基板の主面に順次半導体層を積層したSi基板の模式的断面図である。

【図11】本実施形態3の半導体装置の製造において素子分離絶縁領域を設けるとともに最上層のSi基板の表層部分を酸化膜に形成したSi基板の模式的断面図である。

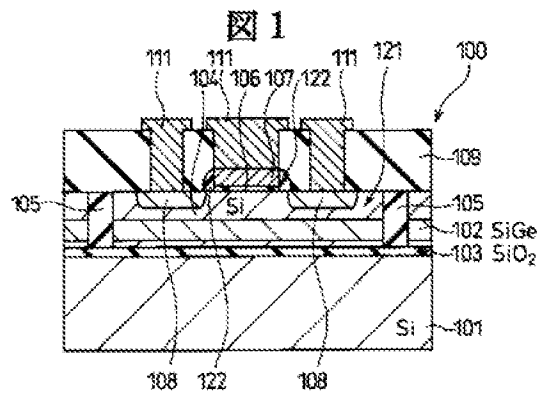
【図12】本実施形態3の半導体装置の製造においてゲート酸化膜およびゲート電極を形成したSi基板の模式的断面図である。

【符号の説明】

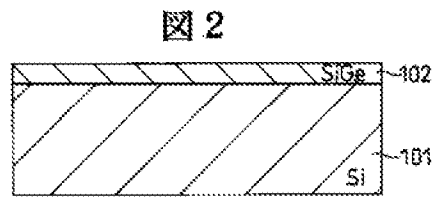
100…半導体装置、101…Si基板、102…SiO<sub>2</sub>/GeO<sub>2</sub>/3<sup>rd</sup>バッファ層、103…SiO<sub>2</sub>絶縁層、104…至みSiチャネル層、105…素子分離絶縁領域、106…ゲート酸化膜、107…ゲート電極、108…拡散領域、109…層間絶縁膜、110…コンタクトホール、111…金属配線、121…素子形成領域、122…側壁(サイドウォール)、130…半導体基板、140…半導体装置、211…SiGeスペーサ層、212…SiGeキャリア供給層、213…SiGeキャップ層、214…Siキャップ層。



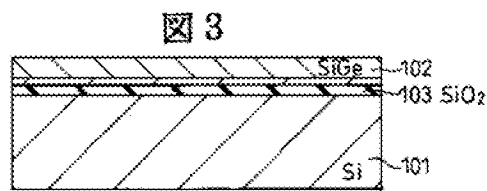
【図1】



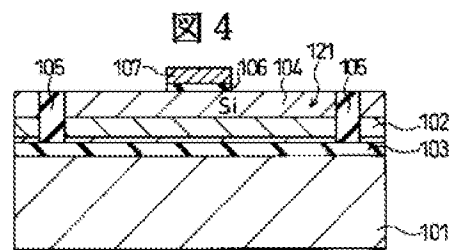
【図2】



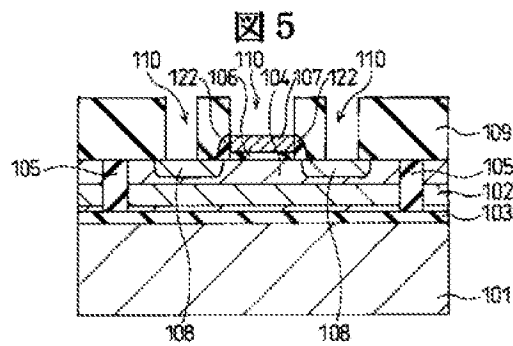
【図3】



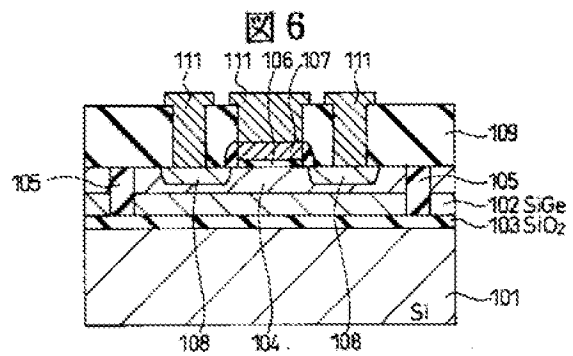
【図4】



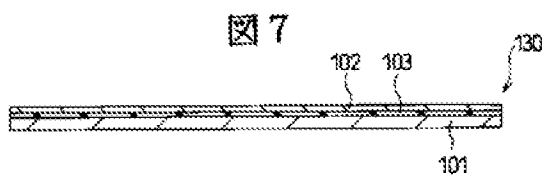
【図5】



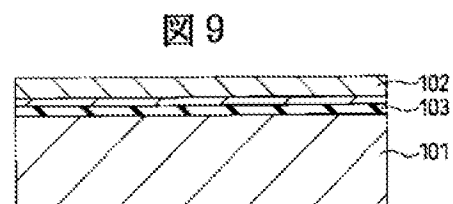
【図6】



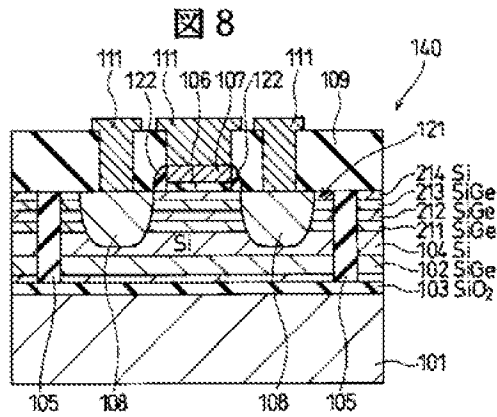
【図7】



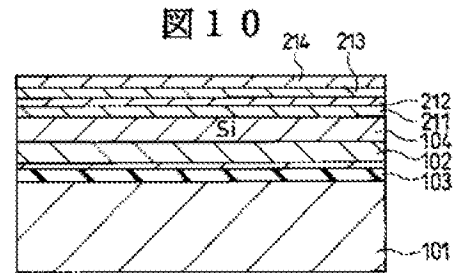
【図9】



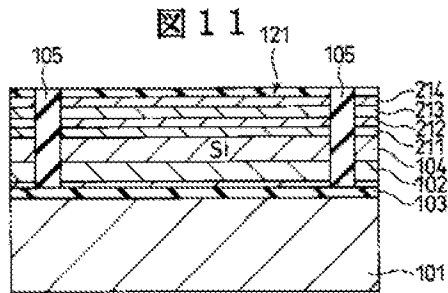
【附 8】



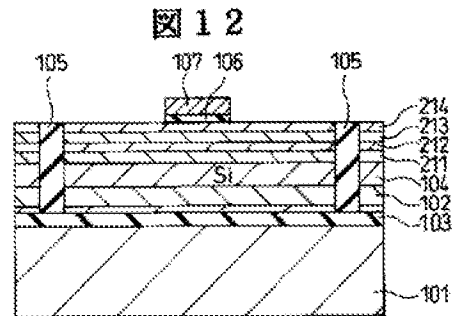
[210]



**INDEX**



【圖 12】



フロントページの続き

(72)発明者 山口 伸也  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 宮尾 正信  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

Fターム(参考) 5F040 DA01 DA18 DB06 DC01 EB12  
EC07 EE06 EH02 EK05 EM00  
FA03 FA05  
5F102 FA00 GA14 GC01 GD10 GJ03  
GL03 GL08 HA02

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-319935

(P2001-319935A)

(43) 公開日 平成13年11月16日 (2001.11.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード(参考)
H 0 1 L 21/331		H 0 1 L 21/205	4 M 1 0 4
29/73		21/28	3 0 1 Z 5 F 0 0 3
21/205		29/165	5 F 0 3 3
21/28	3 0 1	29/72	5 F 0 4 5
21/3205		21/88	P
審査請求 未請求 請求項の数 6 O L (全 9 頁) 最終頁に続く			

(21) 出願番号 特願2000-138994(P2000-138994)

(22) 出願日 平成12年5月11日(2000.5.11)

(71) 出願人 000228925

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目5番1号

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(72) 発明者 塩野 一郎

埼玉県大宮市北袋町1丁目297番地 三菱

マテリアル株式会社総合研究所内

(74) 代理人 100064908

弁理士 志賀 正武 (外6名)

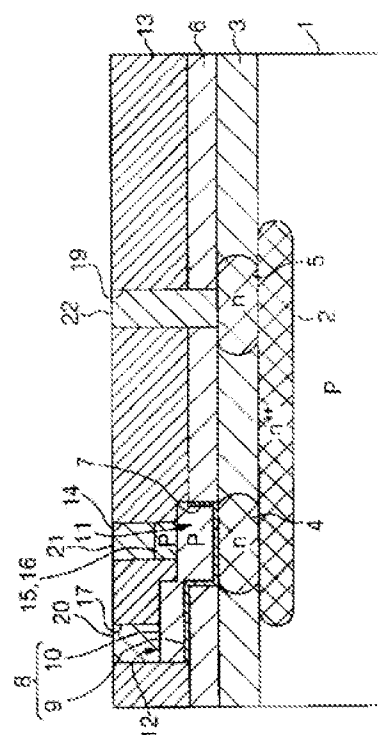
最終頁に続く

(54) 【発明の名称】 S i G e 膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトラン

(57) 【要約】 ジスタ

【課題】 S i G e 膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタにおいて、絶縁膜上の S i G e 膜が荒れることを防いで膜質及び膜抵抗を改善すること。

【解決手段】 絶縁膜6上に S i G e 膜8を形成する方法であって、前記絶縁膜上に第1の S i <sub>(1-x)</sub> G e <sub>x</sub> 膜9 (0 ≤ x < 0.05) を形成するバッファ形成工程と、前記第1の S i <sub>(1-x)</sub> G e <sub>x</sub> 膜上に第2の S i <sub>(1-y)</sub> G e <sub>y</sub> 膜10 (0.05 ≤ y < 1) を形成する主膜形成工程とを備え、前記バッファ形成工程は、前記第1の S i <sub>(1-x)</sub> G e <sub>x</sub> 膜を0.5nm以上5nm以下の厚さ範囲で成膜する。



【特許請求の範囲】

【請求項1】 絶縁膜上にSiGe膜を形成する方法であって、

前記絶縁膜上に第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜 ( $0 \leq x < 0.05$ ) を形成するパuffa形成工程と、

前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜上に第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜 ( $0.05 \leq y < 1$ ) を形成する主膜形成工程とを備え、

前記パuffa形成工程は、前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜を0.5nm以上5nm以下の厚さ範囲で成膜することを特徴とするSiGe膜の形成方法。

【請求項2】 請求項1に記載のSiGe膜の形成方法であって、

少なくとも前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜を、 $0.133\text{Pa}$ 以上 $1.33 \times 10^4\text{Pa}$ 以下の圧力範囲の減圧CVD法により成膜することを特徴とするSiGe膜の形成方法。

【請求項3】 SiGeのベース領域を有するヘテロ接合トランジスタを製造する方法であって、

コレクタ領域が形成されたSi基板上に絶縁膜を形成する工程と、

前記絶縁膜の一部に前記コレクタ領域に通じる窓部を形成する工程と、

前記窓部上及び前記絶縁膜上にSiGe膜を非選択的に形成し窓部上に前記ベース領域を形成すると共に前記絶縁膜上にベース電極までの引き出し線に供される領域を形成するSiGe膜形成工程と、

前記ベース領域上にSiのエミッタ領域を形成する工程とを備え、

前記SiGe膜形成工程は、前記SiGe膜を請求項1又は2に記載のSiGe膜の形成方法により形成することを特徴とするヘテロ接合トランジスタの製造方法。

【請求項4】 請求項3に記載のヘテロ接合トランジスタを製造する方法において、

前記SiGe膜形成工程は、前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜のGe組成比yが $0.08 \leq y \leq 0.3$ の範囲内であることを特徴とするヘテロ接合トランジスタの製造方法。

【請求項5】 SiGeのベース領域を有するヘテロ接合トランジスタであって、

Si基板上に形成されたコレクタ領域と、

前記Si基板上に形成され前記コレクタ領域に通じる窓部を有した絶縁膜と、

前記窓部上に形成されSiGe膜からなるベース領域と、

前記絶縁膜上に形成され前記ベース領域に接続されたSiGe膜からなる引き出し線と、

前記ベース領域上に形成されたSiのエミッタ領域とを備え、

少なくとも前記引き出し線は、前記絶縁膜上に形成され

た第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜 ( $0 \leq x < 0.05$ ) と、前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜上に形成された第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜 ( $0.05 \leq y < 1$ ) とを備え、前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜は、0.5nm以上5nm以下の厚さであることを特徴とするヘテロ接合トランジスタ。

【請求項6】 請求項5に記載のヘテロ接合トランジスタにおいて、

前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜は、Ge組成比yが $0.08 \leq y \leq 0.3$ の範囲内であることを特徴とするヘテロ接合トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば、ヘテロ接合トランジスタにおけるベース引き出し線として好適なSiGe膜の形成方法及びヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタに関する。

【0002】

【従来の技術】 ベース領域よりもエミッタ領域のバンドギャップを大きくしてエミッタの注入効率を大幅に向上させることにより、電流利得の増大を図るHBT（ヘテロ接合トランジスタ）は、低雑音かつSiでは達成し得ない高周波動作が可能であり、論理回路、通信システム、マイクロ波デバイス（A/D変換に用いるアンプ等）等に用いられる高機能デバイスである。

【0003】 従来、HBTは、GaAsとAlGaAsとの組み合わせ等により製作されていたが、近年、Si（シリコン）よりもSiGe（シリコン-ゲルマニウム）のバンドギャップが小さいことから、SiGeを用いたHBT（以下、SiGe-HBTと称す）が開発・研究されている。このSiGe-HBTは、技術蓄積の豊富なSiプロセスと整合し易い、Si-LSiとの混載（1チップ化）が可能、GaAsデバイスに比べて製造コストが下がる、Siに比べて環境的に扱いが難しいAs等を多量に用いないで済む等の利点がある。

【0004】 ベース領域にSiGeを用いるSiGe-HBTの製造プロセスとしては、例えば、コレクタ領域が形成されたシリコンウェーハ上に $\text{SiO}_2$ を形成し、この $\text{SiO}_2$ に対してベース開口部（ベース窓部）を設け、このベース開口部にSiGeをエピタキシャル成長してベース領域を形成した後、ベース領域上にSiのエミッタ領域を形成している。

【0005】 なお、従来、例えば、特開平9-181091号公報や特開2000-31155号公報では、SiGeの非選択エピタキシャル成長を行う前にパuffaとしてSiを10～50nm成膜する技術が開示されている。また、例えば、D.L.Harame等(IEEE Transactions on Electron Devices, Vol. 42, No. 3, March 1995, p469.)やJ.L.Regolini等(Materials Science in Semiconducto

r Processing)では、ベース開口部を加工する際、ウェーハ全面に多結晶Si薄膜を堆積し、これをマスクとしてベース部の絶縁膜をエッチングした後、多結晶Si薄膜を剥離することなく、SiGeの非選択エピタキシャル成長を行う技術が提案されている。

#### 【0006】

【発明が解決しようとする課題】しかしながら、上記従来の技術では、以下のような課題が残されている。非選択エピタキシャル成長によってSiGeを成膜させるSiGe-HBTでは、ベース開口部に成長するエピタキシャル層がベース層（ベース領域）として用いられると共に、ベース層に連続してSiO<sub>2</sub>上に成長する多結晶層がベース引き出し線として用いられる。この場合、SiO<sub>2</sub>上に直接SiGeを成膜するとSiO<sub>2</sub>上に成長する多結晶層が膜荒れを起こし、結果としてベース引き出し線の抵抗が高くなり、トランジスタ特性を劣化させてしまう場合がある。特に、HBTのベース領域に要求される高いGe組成比ほど膜荒れが生じ易く、また膜厚が薄いほど、その効果が顕著になり易いという傾向がある。

【0007】上記従来技術では、SiO<sub>2</sub>上に予めSiのパッファ層を10～50nm成膜しているため、その上に成長するSiGeの膜荒れが生じ難いと思われるが、このパッファ層をベース層とする場合、パッファ層厚10～50nm分だけ実質的にベース層厚が厚くなってしまう。すなわち、一般的にトランジスタのベース層幅は薄いほど高速なトランジスタとなるが、従来技術ではパッファ層厚の分だけ電子のベース走行時間が長くなり、高速動作のためにSiGeベース層を採用したメリットが低減し、トランジスタの動作速度がSiGeのみでベース領域を形成する場合よりも遅くなってしまう不都合があった。

【0008】また、多結晶Si薄膜をマスクとしてベース部の絶縁膜をエッチングした後SiGe成長を行う上記従来技術では、多結晶Siの成膜とSiGeの成膜とで異なる製造工程を必要とするが、近年のLSI製造では微細配線の結果、製造工程中の熱履歴を極力抑える必要があり、デバイスに対する熱影響の観点からも、この従来技術のように熱工程が多いことは好ましいことではない。

【0009】本発明は、前述の課題に鑑みてなされたもので、絶縁膜上のSiGe膜が荒れることを防いで膜質及び膜抵抗を改善することができるSiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタを提供することを目的とする。

#### 【0010】

【課題を解決するための手段】本発明者らは、SiGeの成膜技術について研究を行ってきた結果、一定範囲のGe組成比であれば非常に薄いSiGeパッファ層厚で

も、膜荒れ及び抵抗を大幅に改善することができることを見出した。すなわち、本発明者らは、SiO<sub>2</sub>上にGe組成比を変えたSiGe膜を成長し、その成膜状態等を調べると共に、パッファ層の厚さを変えたSiGe膜を成長し、その抵抗を測定した。なお、図5、図6及び図7は、それぞれGe組成比を0.04、0.13及び0.30としたSiGe膜のSEM写真である。また、図8は、抵抗測定の一例であり、SiO<sub>2</sub>上にパッファ層としてSi膜を成長し、該パッファ層の層厚を0～5nmまで変えた場合のSiGe膜（Ge組成比0.30、パッファ層上の層厚は同一）のシート抵抗を示すグラフである。

【0011】図6～図7からわかるように、Ge組成比が0.13の場合では、SiGe膜は部分的に不連続化しており、さらにGe組成比0.30の場合では完全に不連続化してしまいほとんど成膜されていないのに対し、0.04の場合では、全体的に不連続化しておらず、良質な成膜状態が得られていることがわかった。また、図8からわかるように、パッファ層の層厚が0.5nmでは抵抗値が約半分に低減され、さらに層厚が1nmで抵抗値が一桁下がることがわかった。

【0012】したがって、本発明は、この知見に基づいた技術であり、前記課題を解決するために以下の構成を採用した。すなわち、本発明のSiGe膜の形成方法は、絶縁膜上にSiGe膜を形成する方法であって、前記絶縁膜上に第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜（0≤x<0.05）を形成するパッファ形成工程と、前記第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜上に第2のSi<sub>(1-y)</sub>Ge<sub>y</sub>膜（0.05≤y<1）を形成する主膜形成工程とを備え、前記パッファ形成工程は、前記第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜を0.5nm以上5nm以下の厚さ範囲で成膜することを特徴とする。

【0013】このSiGe膜の形成方法では、パッファ形成工程において、第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜を0.5nm以上5nm以下の厚さ範囲で成膜するので、従来のように10～50nmという厚いパッファ層を不要とし、非常に薄いパッファ層で第2のSiGe膜の不連続化（膜荒れ）を改善し、抵抗も大幅に抵抗させることができる。なお、上述したように、第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜を少なくとも0.5nmとすると、全く第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜を設けない場合（第2のSi<sub>(1-y)</sub>Ge<sub>y</sub>膜のみ）よりも抵抗値を大幅に低減する効果が得られる。例えば、第2のSi<sub>(1-y)</sub>Ge<sub>y</sub>膜がGe組成比y=0.3であっても、第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜を0.5nmとすると抵抗値を約半分に低減でき、より好ましくは1nmとすると抵抗値を一桁下げることができる。なお、第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜を5nm以下としたのは、これ以上厚くしても低抵抗化の効果が小さく、抵抗値があまり変わらないためである。

【0014】また、本発明のSiGe膜の形成方法は、

少なくとも前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜を、 $0.133\text{ Pa}$ 以上 $1.33 \times 10^4\text{ Pa}$ 以下の圧力範囲の減圧CVD法により成膜する場合に好適である。すなわち、減圧CVD法は、高真空中で成膜を行うUHV-CVD法よりも $\text{SiGe}$ 膜の膜荒れが顕著になるおそれがあるが、本発明の第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜の成膜方法に減圧CVD法を適用することにより、UHV-CVD法等の成長方法に比べて顕著に膜荒れ抑制の効果をj得ることができる。また、減圧CVD法でも容易に良質な $\text{SiGe}$ 膜を得ることができるため、UHV-CVD法等の高真空技術を用いる必要がなくなり、生産性を向上させることができる。

【0015】本発明のヘテロ接合トランジスタの製造方法は、 $\text{SiGe}$ のベース領域を有するヘテロ接合トランジスタを製造する方法であって、コレクタ領域が形成された $\text{Si}$ 基板上に絶縁膜を形成する工程と、前記絶縁膜の一部に前記コレクタ領域に通じる窓部を形成する工程と、前記窓部上及び前記絶縁膜上に $\text{SiGe}$ 膜を非選択的に形成し窓部上に前記ベース領域を形成すると共に前記絶縁膜上にベース電極までの引き出し線に供される領域を形成する $\text{SiGe}$ 膜形成工程と、前記ベース領域上に $\text{Si}$ のエミッタ領域を形成する工程とを備え、前記 $\text{SiGe}$ 膜形成工程は、前記 $\text{SiGe}$ 膜を上記本発明の $\text{SiGe}$ 膜の形成方法により形成することを特徴とする。

【0016】また、本発明のヘテロ接合トランジスタは、 $\text{SiGe}$ のベース領域を有するヘテロ接合トランジスタであって、 $\text{Si}$ 基板に形成されたコレクタ領域と、前記 $\text{Si}$ 基板上に形成され前記コレクタ領域に通じる窓部を有した絶縁膜と、前記窓部上に形成され $\text{SiGe}$ 膜からなるベース領域と、前記絶縁膜上に形成され前記ベース領域に接続された $\text{SiGe}$ 膜からなる引き出し線と、前記ベース領域上に形成された $\text{Si}$ のエミッタ領域とを備え、少なくとも前記引き出し線は、前記絶縁膜上に形成された第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜( $0 \leq x < 0.05$ )と、前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜上に形成された第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜( $0.05 \leq y < 1$ )とを備え、前記第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜は、 $0.5\text{ nm}$ 以上 $5\text{ nm}$ 以下の厚さであることを特徴とする。

【0017】これらのヘテロ接合トランジスタの製造方法及びヘテロ接合トランジスタでは、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜( $0 \leq x < 0.05$ )上に第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜( $0.05 \leq y < 1$ )が形成され、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜が $0.5\text{ nm}$ 以上 $5\text{ nm}$ 以下の厚さであるので、絶縁膜上に膜荒れが抑制された $\text{SiGe}$ 膜が得られ、ベース引き出し線を低抵抗化できると共に、ベース領域の $\text{SiGe}$ 膜として、薄い第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜をバッファとしているので、全体としてベース層幅を薄くすることができる。

【0018】また、本発明のヘテロ接合トランジスタの製造方法は、前記 $\text{SiGe}$ 膜形成工程が、前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜の $\text{Ge}$ 組成比 $y$ が $0.08 \leq y \leq 0.3$ の範囲内であることが好ましい。また、本発明のヘテロ接合トランジスタは、前記第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜の $\text{Ge}$ 組成比 $y$ が $0.08 \leq y \leq 0.3$ の範囲内であることが好ましい。

【0019】これらのヘテロ接合トランジスタの製造方法及びヘテロ接合トランジスタでは、第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜の $\text{Ge}$ 組成比 $y$ が $0.08 \leq y \leq 0.3$ の範囲内であるので、HBTのベース領域として好適なバンドギャップが得られる。

#### 【0020】

【発明の実施の形態】以下、本発明に係る $\text{SiGe}$ 膜の形成方法及びヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタの一実施形態を、図1から図3を参照しながら説明する。

【0021】図1は、本発明のヘテロ接合バイポーラトランジスタシリコン(HBT)の概略的な断面構造を示すものである。該HBTの構造をその製造プロセスと合わせて説明すると、図2の(a)に示すように、 $p$ 型シリコンウェーハ( $\text{Si}$ 基板)1表面には、ヒ素打ち込みにより $n^+$ にドーピングされた埋込みサブコレクタ領域2が形成され、さらにシリコンウェーハ1表面に $n$ 型単結晶シリコンの $n\text{-Si}$ エピタキシャル層3をエピタキシャル成長により形成する。

【0022】次に、図2の(b)に示すように、 $n\text{-Si}$ エピタキシャル層3に埋込みサブコレクタ領域2に達するようにリン打ち込みにより、 $n^+$ にドーピングされた第1のコレクタウェル4及び第2のコレクタウェル5(コレクタ領域)が生成される。そして、図2の(c)に示すように、 $n\text{-Si}$ エピタキシャル層3の表面に絶縁膜として第1の $\text{SiO}_2$ 層(二酸化シリコン層)6を熱酸化工程により形成する。この後、第1の $\text{SiO}_2$ 層6にマスク処理を施して選択的にエッチングを行い、第1のコレクタウェル4に通じるベース窓部7を形成する。

【0023】次に、図2の(d)に示すように、ベース窓部7上及び第1の $\text{SiO}_2$ 層6上に $\text{SiGe}$ 膜8を非選択的に形成する。この $\text{SiGe}$ 膜8は、バッファ層として形成される第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜( $0 \leq x < 0.05$ )9と、該第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9上に形成される第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜( $0.05 \leq y < 1$ )10との2層構造を有する。

【0024】すなわち、 $\text{SiGe}$ 膜8を形成するには、まず、ベース窓部7上及び第1の $\text{SiO}_2$ 層6上に第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9を $0.5\text{ nm}$ 以上 $5\text{ nm}$ 以下の厚さ範囲で非選択エピタキシャル成長により成膜する(バッファ形成工程)。さらに、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9上に第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10を非選択エピタキシャル成長により成膜する。

【0025】なお、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9及び第2

の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10は、 $0.133\text{Pa}$ 以上 $1.33\times 10^4\text{Pa}$ 以下の圧力範囲の減圧CVD法により成膜する。また、第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10のGe組成比 $y$ は、より好ましくは $0.08\leq y\leq 0.3$ の範囲内に設定される。また、この減圧CVD法における成膜温度は、 $600\sim 800^\circ\text{C}$ であると共に、キャリアガスとして $\text{H}_2$ を、ソースガスとして $\text{SiH}_4$ 及び $\text{GeH}_4$ を用いている。

【0026】この成膜工程では、ベース窓部7に形成される第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9及び第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10が、単結晶のエピタキシャル層として形成され、第1の $\text{SiO}_2$ 層6上に形成される第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9及び第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10が、多結晶の非エピタキシャル層として形成される。なお、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9及び第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10は、ホウ素によりpにドーピングされる。このようにして、ベース窓部7に $\text{SiGe}$ 膜8によるヘテロ接合のベース領域11が形成される。

【0027】次に、第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10上にマスク処理を施して選択的にエッチングを行い、図3の(a)に示すように、ベース引き出し線12及びベース領域11に供される部分を残して第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9及び第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10を除去する。さらに、図3の(b)に示すように、残った第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10上及び露出した第1の $\text{SiO}_2$ 層6上に第2の $\text{SiO}_2$ 層13を成膜する。

【0028】次に、第2の $\text{SiO}_2$ 層13上にマスク処理を施して選択的にウェットエッチングを行い、ベース領域11に通じるエミッタ窓部14を形成する。この後、エミッタ窓部14及び第2の $\text{SiO}_2$ 層13上にCVD法によりSiをエピタキシャル成長させ、エミッタ窓部14にSi単結晶層15を成膜してエミッタ領域16を形成する。そして、エミッタ窓部14にマスク処理を施し、エミッタ領域16に供される部分を残して第2の $\text{SiO}_2$ 層13上のSiをエッチング処理により除去する。

【0029】次に、第2の $\text{SiO}_2$ 層13上にマスク処理を施して選択的にウェットエッチングを行い、図3の(c)に示すように、ベース引き出し線12に通じるベース電極窓部17と、エミッタ領域16に通じるエミッタ電極窓部18と、第2のコレクタウェル5に通じるコレクタ電極窓部19とを形成する。この後、ベース電極窓部17、エミッタ電極窓部18及びコレクタ電極窓部19に、金属材料を選択的に埋め込んでそれぞれベース電極20、エミッタ電極21及びコレクタ電極22を形成することにより、本実施形態のHBTが製造される。

【0030】本実施形態の $\text{SiGe}$ 膜の形成方法、HBTの製造方法及びHBTでは、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9 ( $0\leq x<0.05$ )上に第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10 ( $0.05\leq y<1$ )が形成され、第1の $\text{Si}_{(1-x)}$

$\text{Ge}_x$ 膜9が $0.5\text{nm}$ 以上 $5\text{nm}$ 以下の厚さであるので、第1の $\text{SiO}_2$ 層6上に膜荒れが抑制された $\text{SiGe}$ 膜8が得られ、ベース引き出し線12を低抵抗化できると共に、ベース領域11の $\text{SiGe}$ 膜8としては、薄い第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜9をバッファとしているので、全体としてベース層幅が薄くなり、高速動作を得ることができる。

【0031】また、第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10を $0.133\text{Pa}$ 以上 $1.33\times 10^4\text{Pa}$ 以下の圧力範囲の減圧CVD法で成膜するので、UHV-CVD法等の成長方法に比べて顕著に膜荒れ抑制の効果を得ることができると共に、減圧CVD法でも容易に良質な $\text{SiGe}$ 膜を得ることができるため、UHV-CVD法等の高真空技術を用いる必要がなくなり、生産性等を向上させることができる。なお、第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜10のGe組成比 $y$ が $0.08\leq y\leq 0.3$ の範囲内であるので、HBTのベース領域11として好適なバンドギャップが得られる。

【0032】

【実施例】次に、本発明に係る $\text{SiGe}$ 膜の形成方法及びヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタを、実施例により具体的に説明する。

【0033】上記実施形態と同様に第1の $\text{SiO}_2$ 層上に第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜及び第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜を実際に成膜し、その成膜状態及び抵抗(シート抵抗)を調べた。なお、本発明に係る実施例の第2の $\text{Si}_{(1-y)}\text{Ge}_y$ 膜は、Ge組成比 $y$ が $0.30$ である。また、第1の $\text{Si}_{(1-x)}\text{Ge}_x$ 膜は、層厚が $5\text{nm}$ であってGe組成比が $0$ 、すなわちSi膜を用いている。

【0034】図4は、本発明の実施例による $\text{SiGe}$ 膜のSEM写真を示したものである。この図4と、比較例としての図7とを比較すると、バッファ層を有しない比較例の場合は、 $\text{SiGe}$ が不連続化してほとんど成膜されていないのに対し、本実施例の場合では、連続かつ良質な成膜状態が得られていることがわかる。

【0035】また、 $\text{SiGe}$ 層(Ge組成比 $0.30$ )を成膜した際のシート抵抗を調べたところ、図8に示すように、バッファ層のない $\text{SiGe}$ 層の場合は $1\times 10^5\Omega$ であったのに対し、本発明の実施例では、 $1\times 10^4\Omega$ であり、一桁も低抵抗化していた。このように、本発明を適用した場合は、従来と比べて良質な膜が得られると共に大幅な低抵抗化が得られた。

【0036】なお、本発明は、次のような実施形態を含むものである。上記実施形態では、本発明の $\text{SiGe}$ 膜の形成方法をHBTにおけるベース引き出し線形成に適用したが、絶縁膜上に $\text{SiGe}$ 膜を成膜した構造を有する他のデバイス等の製造に適用しても構わない。例えば、MOSトランジスタ等のMOS構造において、ゲート酸化膜上にゲート電極として $\text{SiGe}$ 膜を形成する場

合等に本発明を適用してもよい。

【0037】また、上記実施形態では、第1のSiGe膜としてGe組成比が一定の層を形成したが、Ge組成比 $x$ が $0 \leq x < 0.05$ の範囲内で変化している第1のSiGe膜でも構わない。例えば、絶縁膜(SiO<sub>2</sub>)上にGe組成比 $x$ を0から0.15まで徐々に増加させながら組成が傾斜したSiGe層を形成し、この傾斜組成のSiGe層上にさらにGe組成比 $x$ が0.15のSiGe層を形成する場合も本発明に含まれる。

【0038】すなわち、絶縁膜上に形成される傾斜組成SiGe層のうち初期の $0 \leq x < 0.05$ のGe組成比 $x$ を有する層の領域が、 $0.5 \text{ nm} \leq 5 \text{ nm}$ 以下の厚さであれば、この層の領域が本発明における第1のSiGe膜とみなすことができる。そして、この領域以降のGe組成比 $x$ が0.05から0.15までのSiGe領域は、本発明における第2のSiGe膜とみなすことができる。このように、本発明における第1のSiGe膜上に成膜する第2のSiGe膜は、第1のSiGe膜の成膜後に成膜工程を中断することなく連続的に成膜されるSiGe層も含むものである。

【0039】

【発明の効果】本発明によれば、以下の効果を奏する。本発明のSiGe膜の形成方法によれば、パuffa形成工程において、第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜を $0.5 \text{ nm}$ 以上 $5 \text{ nm}$ 以下の厚さ範囲で成膜するので、従来のように $10 \sim 50 \text{ nm}$ という厚いパuffa層を不要とし、非常に薄い厚さのパuffa層で第2のSiGe膜の不連続化(膜荒れ)を改善し、抵抗も大幅に低抵抗化させることができ、絶縁膜上のSiGe膜を種々のデバイスにおける低抵抗な配線や電極として用いることが可能になる。

【0040】また、本発明のヘテロ接合トランジスタの製造方法及びヘテロ接合トランジスタによれば、第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜( $0 \leq x < 0.05$ )上に第2のSi<sub>(1-y)</sub>Ge<sub>y</sub>膜( $0.05 \leq y < 1$ )が形成され、第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜が $0.5 \text{ nm}$ 以上 $5 \text{ nm}$ 以下の厚さであるので、絶縁膜上に膜荒れが抑制されたSiGe膜が得られ、薄いパuffa層厚にもかかわらず、低抵抗ベース引き出し線として使用し得る膜を得ることができる。この結果、SiGeベース領域を厚いパuffa層無しで作製することができるようになり、非選択エピタキシャル成長によって、より高速な動作が可能なSiGe-H

BTを実現することができる。

【図面の簡単な説明】

【図1】 本発明に係るSiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタの一実施形態におけるHBTを示す概略的な断面図である。

【図2】 本発明に係るSiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタの一実施形態において、HBTの第2のSiGe膜形成までの製造プロセスを工程順に示す断面図である。

【図3】 本発明に係るSiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタの一実施形態において、HBTの第2のSiGe膜形成後から各電極形成までの製造プロセスを工程順に示す断面図である。

【図4】 本発明に係るSiGe膜の形成方法とヘテロ接合トランジスタの製造方法、及びヘテロ接合バイポーラトランジスタの一実施形態において、HBTの第2のSiGe膜の成膜状態を示すSEM写真である。

【図5】 SiO<sub>2</sub>上に形成したGe組成比0.04のSiGe膜の成膜状態を示すSEM写真である。

【図6】 SiO<sub>2</sub>上に形成したGe組成比0.13のSiGe膜の成膜状態を示すSEM写真である。

【図7】 SiO<sub>2</sub>上に形成したGe組成比0.30のSiGe膜の成膜状態を示すSEM写真である。

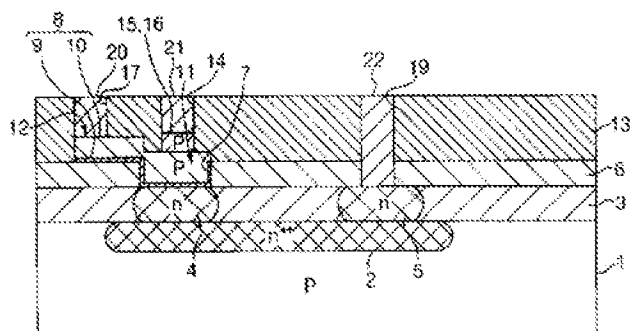
【図8】 パuffa層の層厚を $0 \sim 5 \text{ nm}$ まで変えた場合のSiGe膜のシート抵抗を示すグラフである。

【符号の説明】

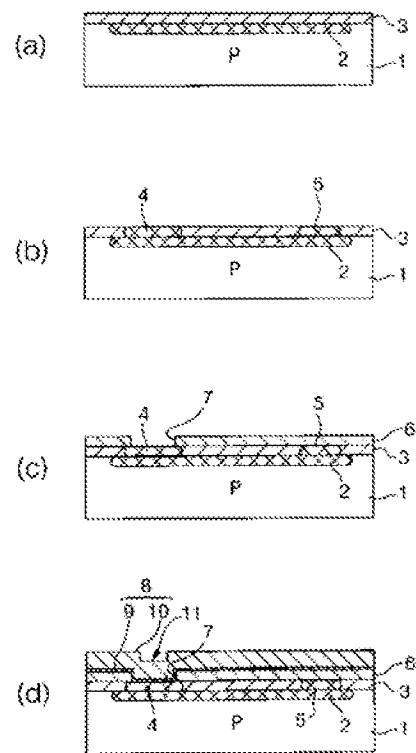
- 1 p型シリコンウェーハ(Si基板)
- 4 第1のコレクタウェル(コレクタ領域)
- 5 第2のコレクタウェル(コレクタ領域)
- 6 第1のSiO<sub>2</sub>層(絶縁膜)
- 7 ベース窓部(窓部)
- 8 SiGe膜
- 9 第1のSi<sub>(1-x)</sub>Ge<sub>x</sub>膜
- 10 第2のSi<sub>(1-y)</sub>Ge<sub>y</sub>膜
- 11 ベース領域
- 12 ベース引き出し線(引き出し線)
- 16 エミッタ領域
- 20 ベース電極



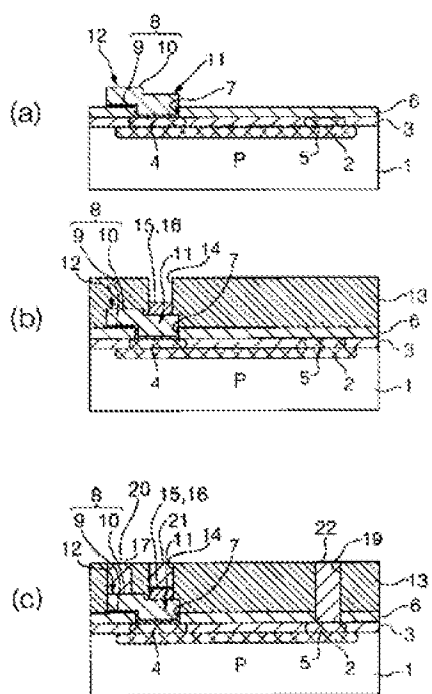
【図1】



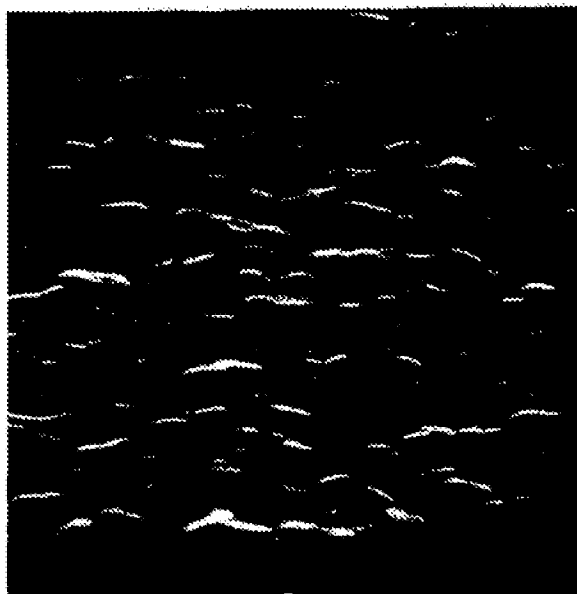
【図2】



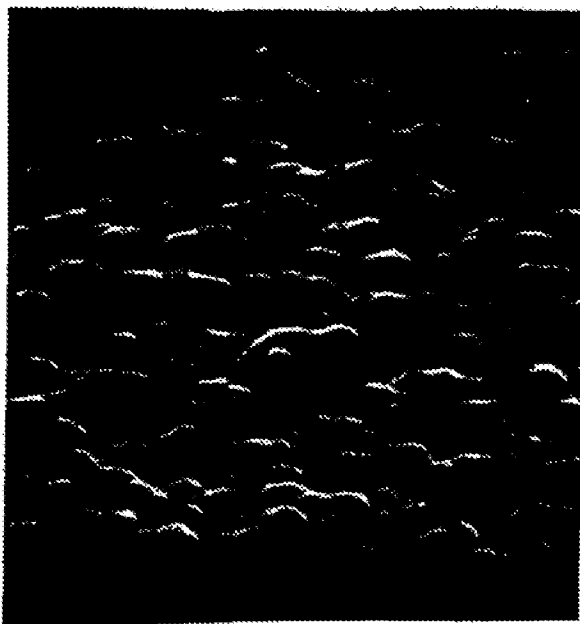
【図3】



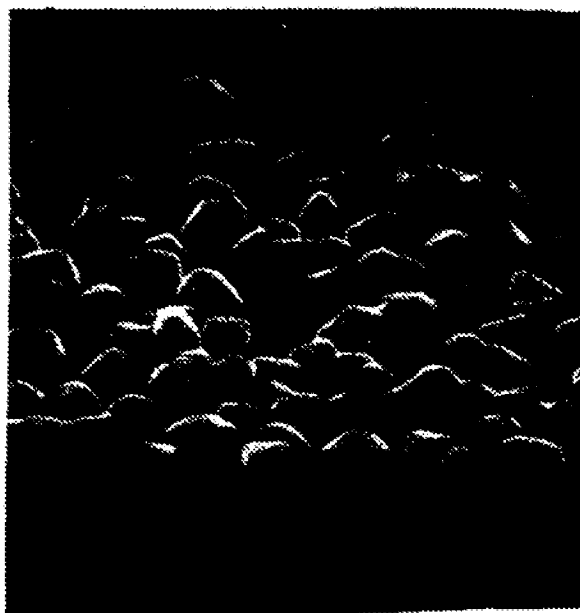
【図4】



【図5】



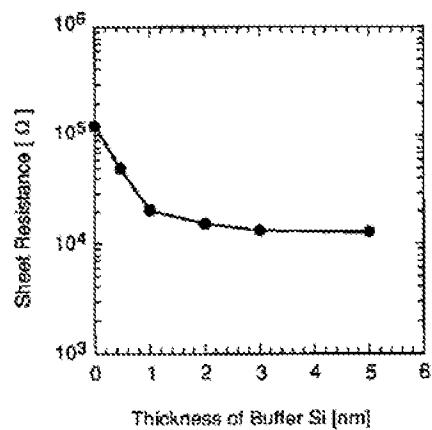
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H 0 1 L 29/165

識別記号

F I

キーワード(参考)

(72)発明者 水嶋 一樹  
埼玉県大宮市北袋町1丁目297番地 三菱  
マテリアル株式会社総合研究所内

F ターム(参考) 4M104 AA01 AA07 BB36 BB38 CC05  
DD43 FF13 HH16  
5F003 BB00 BB02 BB04 BB05 BB07  
BB08 BB90 BC08 BE08 BF06  
BH18 BH99 BM01 BP31 BP33  
BP94 BP97  
5F033 HH03 LL09 MM05 PP03 PP09  
VV06 WW02 WW04 WW05 XX10  
5F045 AA06 AB01 AC01 AE15 AE17  
AE19 AE21 AE23 AE25 AE27  
AE29 AE30 AF08 CA02 DA53  
DA57